

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 5月12日

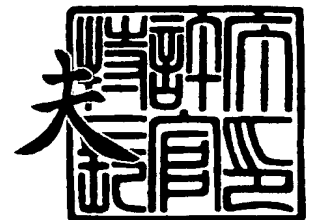
出願番号  
Application Number: 特願2003-133278  
[ST. 10/C]: [JP 2003-133278]

出願人  
Applicant(s): セイコーエプソン株式会社

2004年 3月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3017562



【書類名】 特許願

【整理番号】 J0096760

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 石井 賢哉

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

    【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

    【識別番号】 100107076

    【弁理士】

    【氏名又は名称】 藤綱 英吉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学パネルの駆動回路、並びにこれを備えた電気光学装置及び電子機器

【特許請求の範囲】

【請求項 1】 基板上に、画素電極、該画素電極をスイッチング制御するスイッチング素子及び前記画素電極に前記スイッチング素子を介して画像信号を供給するためのデータ線を備えた電気光学パネルを駆動する電気光学パネルの駆動回路であって、

転送信号を順次出力するシフトレジスタ回路と、

前記順次出力された転送信号をバッファリングするバッファ回路と、

前記バッファリングされた転送信号をサンプリングパルスとして前記画像信号をサンプリングして前記データ線に供給するサンプリング回路と、

前記バッファ回路及び前記サンプリング回路の少なくとも一部を模擬するダミー回路と

を備えており、

前記ダミー回路により生成される前記サンプリングパルスの遅延量を示す遅延信号は、前記シフトレジスタ回路に、前記遅延量が小さくなるようにフィードバックされ、

前記バッファ回路、前記サンプリング回路及び前記ダミー回路は、前記基板上に形成されていることを特徴とする電気光学パネルの駆動回路。

【請求項 2】 前記シフトレジスタ回路は、前記基板に対して外付けされる集積回路内に設けられていることを特徴とする請求項 1 に記載の電気光学パネルの駆動回路。

【請求項 3】 前記バッファ回路は、直列接続された複数段のバッファを含み、

前記サンプリング回路は、アナログ形式のサンプリングスイッチを含み、

前記ダミー回路は、前記複数段のバッファのうち少なくとも最終段のバッファを模擬することを特徴とする請求項 1 又は 2 に記載の電気光学パネルの駆動回路。

。

【請求項 4】 前記ダミー回路は、前記複数段のバッファの全て及び前記サンプリングスイッチを模擬することを特徴とする請求項 3 に記載の電気光学パネルの駆動回路。

【請求項 5】 前記サンプリング回路を構成する半導体素子とこれに対応する前記ダミー回路を構成する半導体素子とは、同一工程にて同時形成されたことを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学パネルの駆動回路。

【請求項 6】 前記半導体素子は、N 型半導体素子からなることを特徴とする請求項 5 に記載の電気光学パネルの駆動回路。

【請求項 7】 前記半導体素子は、薄膜トランジスタからなり、  
該薄膜トランジスタのソースは当該駆動回路の低電位電源に接続されると共に  
該薄膜トランジスタのドレインは当該駆動回路の高電位電源にバイアスされて当該駆動回路の検出端子に接続されており、

前記シフトレジスタ回路は、クロック信号のクロック周期に応じて前記転送信号を順次出力し、

前記検出端子で検出される前記遅延信号の立下りのタイミングに基づいて、前記シフトレジスタ回路に入力される前記クロック信号のタイミングを調整するタイミング調整回路を更に備えたことを特徴とする請求項 5 又は 6 に記載の電気光学パネルの駆動回路。

【請求項 8】 前記シフトレジスタ回路は、クロック信号のクロック周期に応じて前記転送信号を順次出力し、

前記遅延信号により示される遅延量に基づいて、前記シフトレジスタ回路に入力される前記クロック信号のタイミングを調整するタイミング調整回路を更に備えたことを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学パネルの駆動回路。

【請求項 9】 前記シフトレジスタ回路及び前記タイミング調整回路は、前記基板に対して外付けされる集積回路内に設けられていることを特徴とする請求項 8 に記載の電気光学パネルの駆動回路。

【請求項 10】 前記サンプリング回路を構成する一の薄膜トランジスタ



のチャンネル幅と、該一の薄膜トランジスタに対応する前記ダミー回路を構成する他の薄膜トランジスタのチャンネル幅とは、相等しいことを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学パネルの駆動回路。

【請求項 1 1】 前記サンプリング回路を構成する一の薄膜トランジスタに対応する前記ダミー回路を構成する他の薄膜トランジスタのチャンネル幅は、該一の薄膜トランジスタのチャンネル幅以下であり、

前記一の薄膜トランジスタに対する前記一の薄膜トランジスタの前段に位置する一のバッファ回路のサイズ比と、前記ダミー回路における前記他の薄膜トランジスタに対する前記他の薄膜トランジスタの前段に位置する他のバッファ回路のサイズ比とは、相等しいことを特徴とする請求項 1 から 1 0 のいずれか一項に記載の電気光学パネルの駆動回路。

【請求項 1 2】 前記バッファ回路は、直列接続された複数段のバッファを含み、

前記サンプリング回路は、アナログ形式のサンプリングスイッチを含み、

前記サンプリングスイッチを構成する一の薄膜トランジスタに対応する前記ダミー回路を構成する他の薄膜トランジスタのチャンネル幅は、該一の薄膜トランジスタのチャンネル幅以下であり、

前記一の薄膜トランジスタに対する前記一の薄膜トランジスタの前段に位置する一のバッファ回路の最終段のバッファのサイズ比と、前記ダミー回路における前記他の薄膜トランジスタに対する前記他の薄膜トランジスタの前段に位置する他のバッファ回路の最終段のバッファのサイズ比とは、相等しいことを特徴とする請求項 1 から 1 0 のいずれか一項に記載の電気光学パネルの駆動回路。

【請求項 1 3】 請求項 1 から 1 2 のいずれか一項に記載の電気光学パネルの駆動回路及び前記電気光学パネルを備えたことを特徴とする電気光学装置。

【請求項 1 4】 請求項 1 3 に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】



本発明は、例えば液晶パネル等の電気光学パネルを駆動する駆動回路、該電気光学パネル及び駆動回路を備えてなる例えば液晶装置等の電気光学装置、並びに該電気光学装置を備えてなる例えば液晶プロジェクタ等の電子機器の技術分野に属する。

#### 【0002】

##### 【背景技術】

この種の電気光学パネルの駆動装置として、例えば、電気光学パネルのデータ線に対して、画像信号をサンプリングして供給するサンプリング回路や、該サンプリング回路に対してサンプリングパルスを提供するデータ線駆動回路等がある。データ線駆動回路は、そのシフトレジスタから出力される転送信号を、サンプリングパルスとして、バッファ回路を介してサンプリング回路に順次出力するように構成されている。他方、バッファ回路は、シフトレジスタから出力される転送信号をバッファリングし、サンプリング回路は、バッファリング後の転送信号をサンプリングパルスとして、画像信号線上の画像信号をサンプリングしてデータ線に供給するように構成されている。

#### 【0003】

このような駆動回路の構成においては、シフトレジスタからの転送信号の出力は、データ線駆動回路に供給されるクロック信号のクロック周期に同期して行われるのが一般的である。このため、駆動回路中におけるバッファ回路或いはサンプリング回路における信号遅延の影響で、サンプリングパルスには、クロック信号を基準として無視し得ない程度の遅延が生じる。

#### 【0004】

そこで従来は、例えば特許文献1に開示されているように、パネル内に設けられたバッファ回路やサンプリング回路におけるサンプリングパルスの遅延時間を計測して、データ線駆動回路に入力されるクロック信号のタイミングを調整する技術が、本願発明者により開発されている。より具体的には、バッファ回路やサンプリング回路を模擬するダミー回路を、外付けIC（集積回路）として構築して電気光学パネルの基板に取り付ける。更に、このダミー回路からの出力パルスをカウントすることで遅延時間を測定すると共に該測定された遅延時間に基づい



てクロック信号のタイミングを調整するタイミング調整回路を、やはり外付け IC として構築して電気光学パネルの基板に取り付ける。これらによって、遅延時間を間接測定して、この測定結果に基づいて、データ線駆動回路に入力されるクロック信号のタイミングを調整することが可能となる。

#### 【0005】

##### 【特許文献1】

特開平11-119746号公報

#### 【0006】

##### 【発明が解決しようとする課題】

しかしながら、特許文献1に開示された技術によれば、ダミー回路の出力は、サンプリング回路やバッファ回路の特性を正確に反映しておらず、係るダミー回路を用いた遅延時間の間接的な測定では、精度が高いとは言えない。従って、その測定結果に基づくタイミング調整によっては、遅延の悪影響を十分除去することは困難であるという技術的問題点がある。加えて、特許文献1に開示された技術によれば、ダミー回路用に、電気光学パネルの内部電源を利用するため、ダミー回路は、当該内部電源の電圧による制約を受け、概ねダミー回路を構成する IC に高い耐圧性能が要求される技術的問題点もある。

#### 【0007】

本発明は上記課題に鑑みなされたものであり、例えば、電気光学パネルの駆動回路内で発生するサンプリングパルスの遅延による悪影響を比較的容易且つ高精度で低減或いは除去可能である電気光学パネルの駆動回路、該駆動回路及び電気光学パネルを備えてなる電気光学装置、並びに、該電気光学装置を備えてなる各種電子機器を提供することを課題とする。

#### 【0008】

##### 【課題を解決するための手段】

本発明の電気光学パネルの駆動回路は上記課題を解決するために、基板上に、画素電極、該画素電極をスイッチング制御するスイッチング素子及び前記画素電極に前記スイッチング素子を介して画像信号を供給するためのデータ線を備えた電気光学パネルを駆動する電気光学パネルの駆動回路であって、転送信号を順次





出力するシフトレジスタ回路と、前記順次出力された転送信号をバッファリングするバッファ回路と、前記バッファリングされた転送信号をサンプリングパルスとして前記画像信号をサンプリングして前記データ線に供給するサンプリング回路と、前記バッファ回路及び前記サンプリング回路の少なくとも一部を模擬するダミー回路とを備えており、前記ダミー回路により生成される前記サンプリングパルスの遅延量を示す遅延信号は、前記シフトレジスタ回路に、前記遅延量が小さくなるようにフィードバックされ、前記バッファ回路、前記サンプリング回路及び前記ダミー回路は、前記基板上に形成されている。

#### 【0009】

本発明の電気光学パネルの駆動回路によれば、その動作時には、シフトレジスタ回路からバッファ回路を介して出力されるサンプリングパルスに応じて、サンプリング回路で画像信号をサンプリングする。これにより、データ線に対して、サンプリングした画像信号を供給する。すると、電気光学パネル内では、データ線を介して供給される画像信号を、例えば別途走査線を介して供給される走査信号に応じて、薄膜トランジスタ（以下適宜、“TFT”と称する）等からなるスイッチング素子を介して画素電極に供給する。これにより、アクティブマトリクス駆動による画像表示が可能となる。

#### 【0010】

そして、このような動作中、バッファ回路及びサンプリング回路の少なくとも一部を模擬するダミー回路によって、サンプリングパルスの遅延量を示す遅延信号が生成される。この遅延信号は、サンプリングパルスの遅延量が小さくなるようにシフトレジスタ回路にフィードバックされる。従って、ダミー回路が、バッファ回路及びサンプリング回路を模擬する度合いに応じて（即ち、ダミー回路の特性がサンプリング回路の特性に如何に近付けられているかの程度に応じて）、サンプリングパルスの遅延による表示画像に対する悪影響を低減可能となる。ここで、バッファ回路、サンプリング回路及びダミー回路は、当該電気光学パネルを構成する基板上に形成されているので、例えば、当該電気光学パネルの製造工程においてバッファ回路やサンプリング回路とダミー回路とを同時に同一工程で形成すること等も可能となり、或いは、バッファ回路やサンプリング回路とダミ

一回路とを構成する T F T のチャンネル幅等を相等しく構成すること等も可能となる。よって、ダミー回路が模擬する度合いを容易に高めることが可能となる。

#### 【 0 0 1 1 】

以上の結果、サンプリングパルスの遅延による画像表示に対する悪影響を、比較的容易且つ高精度で低減或いは除去可能となる。

#### 【 0 0 1 2 】

本発明の電気光学パネルの駆動回路の一態様では、前記シフトレジスタ回路は、前記基板に対して外付けされる集積回路内に設けられている。

#### 【 0 0 1 3 】

この態様によれば、シフトレジスタ回路は、基板に対して外付け或いは後付けされる I C として、比較的容易に実装できる。他方で、ダミー回路並びにこれが模擬するバッファ回路やサンプリング回路については、同一基板上に作り込まれるので、前述の如く当該ダミー回路による模擬の度合いを高めることが可能となる。

#### 【 0 0 1 4 】

本発明の電気光学パネルの駆動回路の他の態様では、前記バッファ回路は、直列接続された複数段のバッファを含み、前記サンプリング回路は、アナログ形式のサンプリングスイッチを含み、前記ダミー回路は、前記複数段のバッファのうち少なくとも最終段のバッファを模擬する。

#### 【 0 0 1 5 】

この態様によれば、ダミー回路は、バッファ回路を構成する複数段のバッファのうち、サンプリングパルスの遅延律則の程度が相対的に高い、最終段のバッファを模擬するので、ダミー回路による模擬の程度を効率良く高めることが可能となる。例えば、バッファ回路は、一又は複数のインバータを含んで構成されており、特に最終段のバッファを構成するインバータについては、例えば、入力側と出力側との電流比率が 1 : 2 0 程度に高くなるように構成されている。そして、このような最終段のインバータについては、ダミー回路によって模擬されているので、効率良く、サンプリングパルスの遅延量を高精度で検出できる。特に、限られた基板上スペース内に、全てのバッファ回路或いはサンプリング回路を模擬

するダミー回路を作り込むことが困難である場合には、このように最終段のバッファのみを模擬する構成は非常に有効である。

#### 【 0 0 1 6 】

この態様では、前記ダミー回路は、前記複数段のバッファの全て及び前記サンプリングスイッチを模擬するように構成してもよい。

#### 【 0 0 1 7 】

このように構成すれば、ダミー回路による模擬の度合いは非常に高いものとなり、サンプリングパルスの遅延による悪影響を顕著に低減或いは除去することが可能となる。

#### 【 0 0 1 8 】

本発明の電気光学パネルの駆動回路の他の態様では、前記サンプリング回路を構成する半導体素子とこれに対応する前記ダミー回路を構成する半導体素子とは、同一工程にて同時形成されている。

#### 【 0 0 1 9 】

この態様によれば、サンプリング回路を構成する例えば T F T 等の半導体素子と、これに対応するダミー回路を構成する例えば T F T 等の半導体素子とは、同一基板上に、同一工程にて同時形成されている。従って、非常に高い精度で、ダミー回路の回路特性を、サンプリング回路の回路特性に近付けることが可能となり、即ち模擬の度合いを顕著に高めることが可能となる。

#### 【 0 0 2 0 】

この態様では、前記半導体素子は、N 型半導体素子からなるように構成されてもよい。

#### 【 0 0 2 1 】

このように構成すれば、キャリア移動度に優れた N 型半導体素子からバッファ回路やサンプリング回路を構成でき、これを形成する際に同時に、同様或いは類似の特性を有するダミー回路を形成可能となる。特に、アナログサンプリングスイッチの場合には、キャリア移動度に優れた N 型半導体素子を用いた方が有利である。但し、P 型半導体素子を用いても、ダミー回路による模擬の度合いを高めることは可能であり、サンプリングパルスの遅延による悪影響を低減するという

観点からは、本発明による同様の効果が得られる。

#### 【0 0 2 2】

これらの半導体素子に係る態様では、前記半導体素子は、薄膜トランジスタからなり、該薄膜トランジスタのソースは当該駆動回路の低電位電源に接続されると共に該薄膜トランジスタのドレインは当該駆動回路の高電位電源にバイアスされて当該駆動回路の検出端子に接続されており、前記シフトレジスタ回路は、クロック信号のクロック周期に応じて前記転送信号を順次出力し、前記検出端子で検出される前記遅延信号の立下りのタイミングに基づいて、前記シフトレジスタ回路に入力される前記クロック信号のタイミングを調整するタイミング調整回路を更に備えてもよい。

#### 【0 0 2 3】

このように構成すれば、薄膜トランジスタのソースは、駆動回路の低電位電源に接続され、他方で、薄膜トランジスタのドレインは、駆動回路の高電位電源にバイアスされて検出端子に接続されており、ダミー回路は、これらの電源によって動作可能となる。そして特に、検出端子で検出される遅延信号の立下りのタイミングに基づいて、クロック信号のタイミングを調整するので、非常に高い精度で、サンプリングパルスの遅延量が検出され且つこれに対応する調整が実施されたことになる。しかも、バイアスされた検出端子は、例えば適当な抵抗を介して高電位電源に接続されており、ダミー回路を構成する薄膜トランジスタ等に必要とされる耐圧特性を低く抑えることも可能となり、実践上極めて有意義である。

#### 【0 0 2 4】

或いは本発明の電気光学パネルの駆動回路の他の態様では、前記シフトレジスタ回路は、クロック信号のクロック周期に応じて前記転送信号を順次出力し、前記遅延信号により示される遅延量に基づいて、前記シフトレジスタ回路に入力される前記クロック信号のタイミングを調整するタイミング調整回路を更に備える。

#### 【0 0 2 5】

この態様によれば、シフトレジスタ回路は、クロック信号のクロック周期に応じて転送信号を順次出力する。これに応じて、サンプリング回路等によってサン

プリングが実行される。そして、サンプリングパルスのクロック信号に対する遅延に応じて、タイミング調整回路によって、クロック信号のタイミングを調整する。これらの結果、サンプリングパルスの遅延を、フィードバック制御によるクロック信号の調整によって、非常に効率良く低減できる。

#### 【 0 0 2 6 】

この態様では、前記シフトレジスタ回路及び前記タイミング調整回路は、前記基板に対して外付けされる集積回路内に設けられてもよい。

#### 【 0 0 2 7 】

このように構成すれば、シフトレジスタ回路及びタイミング調整回路は、基板に対して外付け或いは後付けされる IC として、比較的容易に実装できる。他方で、ダミー回路並びにこれが模擬するバッファ回路やサンプリング回路については、同一基板上に作り込まれるので、前述の如く当該ダミー回路による模擬の度合いを高めることが可能となる。

#### 【 0 0 2 8 】

本発明の電気光学パネルの駆動回路の他の態様では、前記サンプリング回路を構成する一の薄膜トランジスタのチャネル幅と、該一の薄膜トランジスタに対応する前記ダミー回路を構成する他の薄膜トランジスタのチャネル幅とは、相等しい。

#### 【 0 0 2 9 】

この態様によれば、サンプリング回路の薄膜トランジスタのチャネル幅と、これに対応するダミー回路の薄膜トランジスタのチャネル幅とは、相等しい。従って、ダミー回路による模擬の度合いを顕著に高めることが可能となる。

#### 【 0 0 3 0 】

本発明の電気光学パネルの駆動回路の他の態様では、前記サンプリング回路を構成する一の薄膜トランジスタに対応する前記ダミー回路を構成する他の薄膜トランジスタのチャネル幅は、該一の薄膜トランジスタのチャネル幅以下であり、前記一の薄膜トランジスタに対する前記一の薄膜トランジスタの前段に位置する一のバッファ回路のサイズ比と、前記ダミー回路における前記他の薄膜トランジスタに対する前記他の薄膜トランジスタの前段に位置する他のバッファ回路のサ

イズ比とは、相等しい。

#### 【0031】

この態様によれば、サンプリング回路の薄膜トランジスタのチャネル幅と比較して、これに対応するダミー回路の薄膜トランジスタのチャネル幅は、相等しいか小さい。従って、限られた基板上スペースに、ダミー回路を作り込む余裕が少ない或いは無い場合にも、小型のダミー回路を構築することによってスペース不足の問題を回避できる。或いは、ダミー回路を作り込むのに必要な領域を含めて基板の小型化や、電気光学パネル全体の小型化を促進可能となる。しかも、サンプリング回路の薄膜トランジスタに対するバッファ回路のサイズ比と、これに対応するダミー回路における薄膜トランジスタに対するバッファ回路のサイズ比とは、相等しい。従って、ダミー回路が模擬対象の回路と比較して小型化されていても、模擬の度合いについては概ね高く維持することが可能となる。

#### 【0032】

本発明の電気光学パネルの駆動回路の他の態様では、前記バッファ回路は、直列接続された複数段のバッファを含み、前記サンプリング回路は、アナログ形式のサンプリングスイッチを含み、前記サンプリングスイッチを構成する一の薄膜トランジスタに対応する前記ダミー回路を構成する他の薄膜トランジスタのチャネル幅は、該一の薄膜トランジスタのチャネル幅以下であり、前記一の薄膜トランジスタに対する前記一の薄膜トランジスタの前段に位置する一のバッファ回路の最終段のバッファのサイズ比と、前記ダミー回路における前記他の薄膜トランジスタに対する前記他の薄膜トランジスタの前段に位置する他のバッファ回路の最終段のバッファのサイズ比とは、相等しい。

#### 【0033】

この態様によれば、サンプリングスイッチの薄膜トランジスタのチャネル幅と比較して、これに対応するダミー回路の薄膜トランジスタのチャネル幅は、相等しいか小さい。従って、限られた基板上スペースに、ダミー回路を作り込む余裕が少ない或いは無い場合にも、小型のダミー回路を構築することによってスペース不足の問題を回避できる。或いは、ダミー回路を作り込むのに必要な領域を含めて基板の小型化や電気光学パネル全体の小型化を促進可能となる。しかも、サ

ンプリングスイッチの薄膜トランジスタに対する最終段のバッファのサイズ比と、これに対応するダミー回路における薄膜トランジスタに対する最終段のバッファのサイズ比とは、相等しい。従って、ダミー回路が模擬対象の回路と比較して小型化されていても、模擬の度合いについては概ね高く維持することが可能となる。特に、サンプリングパルスの遅延律則の程度が相対的に高い、最終段のバッファ及びアナログ形式のサンプリングスイッチを模擬するので、ダミー回路による模擬の程度を効率良く高めることが可能となる。

#### 【 0 0 3 4 】

本発明の電気光学装置は上記課題を解決するために、上述した本発明の電気光学パネルの駆動回路（但し、その各種態様を含む）及び前記電気光学パネルを備える。

#### 【 0 0 3 5 】

本発明の電気光学装置によれば、上述した本発明の電気光学パネルの駆動回路を備えるので、サンプリングパルスの遅延による悪影響が低減されており、高品位の画像表示が可能となる。

#### 【 0 0 3 6 】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置（但し、その各種態様も含む）を具備してなる。

#### 【 0 0 3 7 】

本発明の電子機器は、上述した本発明の電気光学装置を具備してなるので、高品位の画像表示が可能な、投射型表示装置、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。また、本発明の電子機器として、例えば電子ペーパーなどの電気泳動装置を実現することも可能である。

#### 【 0 0 3 8 】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

#### 【 0 0 3 9 】

**【発明の実施の形態】**

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を、T F T アクティブマトリクス駆動形式の液晶装置に適用したものである。

**【0 0 4 0】****(第 1 実施形態)**

本発明の電気光学装置に係る第 1 実施形態について、図 1 から図 5 を参照して説明する。

**【0 0 4 1】**

先ず本発明に係る電気光学装置の全体構成について、図 1 を参照して説明する。ここに図 1 は、本実施形態に係る液晶装置の全体構成を示すブロック図である。

**【0 0 4 2】**

図 1 に示すように、液晶装置は、主要部として、本発明に係る「電気光学パネル」の一例たる液晶パネル 1 0 0、タイミングジェネレータ 2 0 0、及び画像信号処理回路 3 0 0 を備える。

**【0 0 4 3】**

液晶パネル 1 0 0 は、スイッチング素子として T F T 1 1 6 を形成した素子基板と対向基板とを互いに電極形成面を対向させて、かつ、一定の間隙を保って貼付し、この間隙に液晶が挟持されている。タイミングジェネレータ 2 0 0 は、各部で使用される各種タイミング信号を出力するものであり、タイミングジェネレータ 2 0 0 の一部であるタイミング信号出力手段により、最小単位のクロックであり各画素を走査するためのドットクロックが作成され、このドットクロックに基づいて転送開始パルス D X 及び転送クロック C L X が作成される。画像信号処理回路 3 0 0 は、1 系統の画像信号 V I D が入力されると、これを 6 相の画像信号 V I D 1 ～ V I D 6 にシリアルーパラレル変換して出力するものである。

**【0 0 4 4】**

本実施形態では特に、液晶パネル 1 0 0 は、駆動回路内蔵型であり、その素子基板上に、駆動回路 1 2 0 として、走査線駆動回路 1 3 0、サンプリング回路 1



40及びデータ線駆動回路150を含み、更に、ダミー回路27を備えて構成されている。

#### 【0045】

図1において、ダミー回路27は、ブロック図の一部として一ブロックとして図式的に示されているが、その実際の構成及び作用効果については、後で詳述する。

#### 【0046】

液晶パネル100は更に、その素子基板の中央を占める画像表示領域110に、縦横に配線されたデータ線114及び走査線112を備え、それらの交点に対応する各画素に、マトリクス状に配列された画素電極118及び画素電極118をスイッチング制御するためのTFT116を備える。そして、画像信号供給線VID1～6に供給される画像信号を、サンプリング回路140によって、データ線駆動回路150から供給されるサンプリング信号S1、S2、・・・に応じてサンプリングして、データ線114に供給するように構成されている。

#### 【0047】

TFT116のソース電極には、このように画像信号が供給されるデータ線114が電氣的に接続されている一方、TFT116のゲート電極には、走査信号が供給される走査線112が電氣的に接続されるとともに、TFT116のドレイン電極には、画素電極118が接続されている。そして、各画素は、画素電極118と、対向基板に形成された共通電極と、これら両電極間に挟持された液晶とによって構成される結果、走査線112とデータ線114との各交点に対応して、マトリクス状に配列されることになる。

#### 【0048】

尚、保持された画像信号がリークするのを防ぐために、蓄積容量119が、画素電極118と対向電極との間に形成される液晶容量と並列に付加されている。例えば、画素電極118の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量119により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

#### 【0049】

駆動回路 120 は、画像表示領域 110 の周辺に位置する周辺領域に、走査線駆動回路 130、サンプリング回路 140、及びデータ線駆動回路 150 を備えて構成されている。これらの回路の能動素子は、いずれも p チャネル型 T F T および n チャネル型 T F T の組み合わせにより形成可能であるから、画素をスイッチングする T F T 116 と共通の製造プロセスで形成すると、集積化や、製造コスト、素子の均一性などの点において有利となる。

#### 【0050】

ここで、駆動回路 120 のうち、走査線駆動回路 130 は、シフトレジスタを有し、タイミングジェネレータ 200 からのクロック信号 C L Y や、その反転クロック信号 C L Y INV、転送開始パルス D Y 等に基づいて、走査信号を各走査線 112 に対して順次出力するものである。

#### 【0051】

本実施形態では特に、図 1 では省略されているが、データ線駆動回路 150 のうち素子基板上に形成された部分として、或いは、データ線駆動回路 150 内のシフトレジスタとサンプリング回路 140 との間に、データ線駆動回路 150 内のシフトレジスタから出力される転送信号をバッファリングし、サンプリングパルスとしてサンプリング回路 140 の制御端子（即ち、図 1 では、片チャネル T F T のゲート端子）に出力するバッファ回路が、設けられている。そして、これらのバッファ回路及びサンプリング回路 140 の少なくとも一部を模擬するダミー回路 27 が、素子基板上に設けられている。このようなバッファ回路及びダミー回路 27 の構成及び作用効果については後で詳述する。

#### 【0052】

次に、図 2 及び図 3 を参照して、本実施形態のサンプリング回路 140 及びデータ線駆動回路 150 の構成及び動作について説明する。ここに図 2 は、本実施形態に係るサンプリング回路及びデータ線駆動回路の詳細を示すブロック図であり、図 3 は、それらに係る各種信号の経時的変化を示すタイミングチャートである。

#### 【0053】

図 2 に示すように、本実施形態においては、データ線駆動回路 150 は、デー

タ線 1 1 4 を双方向から順次駆動可能とするための双方向シフトレジスタ 1 6 0 を備える。シフト方向は方向制御信号 D により決定される。該方向指示信号 D がハイレベルの場合、双方向シフトレジスタ 1 6 0 には左側から転送開始パルス D X が入力され、左から右へ順次シフトされて、双方向シフトレジスタ 1 6 0 の各段 S R S ( i ) ( 但し、 $i = 1, 2, 3, \dots, n$ ) から転送信号 S R 1 ~ S R n として出力される。尚、反転方向制御信号 D<sub>INV</sub> が正の場合は、双方向シフトレジスタ 1 6 0 の右方向から D X が入力され、右から左に順次シフトされることになる。D X が入力され、右から左に順次シフトされることになる。

#### 【 0 0 5 4 】

本発明に係る「バッファ回路」の一例を構成する、イネーブル回路 1 7 0 a、1 7 0 b は夫々、双方向シフトレジスタ 1 6 0 及びサンプリング回路 1 4 0 の間に配置されており、NAND 回路 1 7 1 a、1 7 1 b 及びインバータ 1 7 2 a、1 7 2 b により構成されている。

#### 【 0 0 5 5 】

双方向シフトレジスタ 1 6 0 から出力された転送信号 S R 1 ~ S R n は、イネーブル回路 1 7 0 a 及び 1 7 0 b に供給される。イネーブル回路 1 7 0 a 及び 1 7 0 b のもう一方の入力にはイネーブル信号 E N B 1 及び E N B 2 が夫々入力される。これにより転送信号 S R 1 ~ S R n が出力されており且つイネーブル信号 E N B 1 又は E N B 2 が出力されているときにのみ、データ線 1 1 4 が駆動される。即ち、イネーブル信号 E N B 1 又は E N B 2 により、画像信号 V I D が安定出力時にデータ線 1 1 4 を活性状態にするように制御している。

#### 【 0 0 5 6 】

転送信号 S R 1 ~ S R n は、イネーブル回路 1 7 0 a、1 7 0 b によりイネーブル信号との論理積がとられた後、本発明に係る「サンプリングパルス」の一例であるデータ線駆動信号或いはサンプリング回路駆動信号（以下「サンプリング信号」と称する）S 1 ~ S n としてサンプリング回路 1 4 0 に供給される。サンプリング回路 1 4 0 は、サンプリング用の、即ちサンプリングスイッチとしての片チャンネル型 T F T 1 4 1 を複数備える。6 本のデータ線 1 1 4 を 1 群とし、これらの群に属するデータ線 1 1 4 に対し、サンプリング信号 S 1 ~ S n に従って

6相にシリアルーパラレル展開された画像信号VID1～VID6を夫々サンプリングして各データ線114に順次供給するものである。詳細には、サンプリング回路140には、前記TF Tからなるスイッチ141が各データ線114の一端に設けられるとともに、各スイッチ141のソース電極は、画像信号VID1～VID6のいずれかが供給される信号線に接続され、ドレイン電極は一本のデータ線114に接続されている。また、各スイッチ141のゲート電極は、その群に対応してサンプリング信号S1～Snが供給される信号線のいずれかに接続されている。本実施形態においては、画像信号VID1～VID6は同時に供給されるので、サンプリング信号S1により同時にサンプリングされることになる。

#### 【0057】

尚、画像信号VID1～VID6が順次シフトされたタイミングで供給される場合には、サンプリング信号S1、S2、・・・により順次サンプリングされることになる。

#### 【0058】

図3のタイミングチャートに示すように、双方向シフトレジスタ160に入力された転送開始パルスDXは、データ線転送クロックCLX（以下単に「転送クロックCLX」と称する）及びその反転クロック信号であるCLX<sub>INV</sub>により転送クロックCLXの半周期単位でシフトされて、双方向シフトレジスタ160の各出力段から転送クロックの半周期分ずつ遅れたデータ線転送信号（以下「転送信号」と称する）SR1～SRnが順次出力される。

#### 【0059】

転送信号SR1～SRnは、データ線114の駆動期間を画像信号VID1～VID6の安定出力期間と同期させるために、イネーブル回路170a, 170bによりイネーブル信号ENBとの論理積がとられ、サンプリング信号S1～Snとして出力される。これにより、画像信号とサンプリング信号（例えばVID1～VID6とS1）との同期がとれて正しい表示が可能となる。

#### 【0060】

尚、本実施形態では、シフトレジスタ160の偶数段または奇数段に応じてE

NB 1 または ENB 2 を供給するよう構成しているが、一つの ENB 信号でサンプリングするようにしてもよい。或いは、シフトレジスタ 1 6 0 の各段 SRS (i) (但し、 $i = 1, 2, 3, \dots, n$ ) から出力される転送信号 SR 1 ~ SR n の夫々を複数に分割して並列に出力し、その数に応じた複数のイネーブル信号と論理積の取られた複数のサンプリング信号を出力するよう構成してもよい。即ち、シフトレジスタ 1 6 0 の格段 SRS (i) の夫々が、複数のサンプリング回路群を制御することになり、シフトレジスタ 1 6 0 の段数を減らすことが可能である。

#### 【0061】

次に本実施形態に係るタイミングジェネレータ 2 0 0 の構成及び動作について、図 1 に加えて、図 4 を参照して詳細に説明する。ここに図 4 は、本実施形態に係るタイミングジェネレータ 2 0 0 の構成を示す回路図である。

#### 【0062】

図 4 に示すように、タイミングジェネレータ 2 0 0 は、タイミング信号出力回路部 2 0 0 a、及びタイミング調整回路部 2 0 0 b を備えて構成されている。

#### 【0063】

タイミング信号出力回路部 2 0 0 a は、発振回路 2 1、カウンタ 2 1、及びデコーダ 2 3 を備える。発振回路 2 1 は、ドットクロック DC の数倍の周波数を有するクロック信号 OSCI を出力する。カウンタ 2 2 は、水平同期信号 HSYN C の立ち上がり同期してリセットされ、カウンタ 2 2 は、リセットされた後はクロック信号 OSCI のパルス数をカウントする。ここで、カウンタ 2 2 には、リセットされた際のカウント値の初期値を入力する初期値入力端 INIT が設けられている。デコーダ 2 3 は、カウンタ 2 2 の出力値をデコードして、上述したドットクロック DC、転送開始パルス DX 及び DY、クロック信号 CLX 及び CLY、並びに、反転クロック信号 CLX INV 及び CLY INV 等の各種のタイミング信号を出力する。

#### 【0064】

タイミング調整回路部 2 0 0 b は、レジスタ 2 5 及びカウンタ 2 6 を備える。カウンタ 2 6 は、その入力端 START における信号が H' レベルに立上ると、

クロック信号 O S C I のカウントを開始するとともに、入力端 S T O P における信号が H' レベルに立上ると、カウントを終了させる。レジスタ 25 は、記憶手段であり、垂直同期信号 V S Y N C に同期してカウンタ 26 のカウント結果をラッチする。

#### 【0065】

ここで特に、カウンタ 26 には後で詳述するダミー回路 27 からの出力パルスが入力される。この出力パルスのカウント結果は、バッファ回路やサンプリング回路におけるサンプリング信号の遅延時間を示すものである。そして、このカウント結果に基づいてカウンタ 22 における初期値がプリセットされるため、デコーダ 23 から出力されるドットクロック D C、入力信号 D X、及びクロック信号 C L X 等のタイミング信号は、該カウント結果に相当する時間だけ早いタイミングで出力されることになる。即ち、タイミング調整回路部 200 b は、以上のような動作により、ダミー回路 27 からの出力パルスをカウントすることで遅延時間を測定すると共に、この測定された遅延時間に基づいてクロック信号のタイミング調整を行なうことが可能となる。

#### 【0066】

以上のように本実施形態では、ダミー回路 27 によって、本発明に係る「サンプリングパルスの遅延量を示す遅延信号」の一例たる検出信号 M O N が生成される。そして、この検出信号 M O N が、タイミングジェネレータ 200 を介して、本発明に係る「サンプリングパルス」の一例たるサンプリング信号 S 1 ~ S n の遅延量が小さくなるように双方向シフトレジスタ 160 にフィードバックされる。

#### 【0067】

次に、本実施形態に係るダミー回路 27 の構成及び動作について、図 1 及び図 2 に加えて、図 5 及び図 6 を参照して詳細に説明する。ここで、図 2 の回路図においては、上述のサンプリング回路 140 及びデータ線駆動回路 150 に加えて、更に、本実施形態に係るダミー回路 27 の詳細構成、及びダミー回路 27 とデータ線駆動回路 150 との接続関係が示されている。ここに図 5 は、図 2 で示した本実施形態に係るダミー回路 27 の構成を、ダミー回路 27 a として図 5 - (

a) に示し、更に、本実施形態に係るダミー回路 27 a との第 1 比較例及び第 2 比較例を、ダミー回路 27 b 及びダミー回路 27 c として、図 5 - (b) 及び図 5 - (c) に夫々示した回路図である。図 6 は、本実施形態に係るダミー回路 27 a、第 1 比較例としてのダミー回路 27 b、及び第 2 比較例としてのダミー回路 27 c における信号遅延の検出状態を夫々示すタイミングチャートである。

#### 【0068】

図 2 に示すように、本実施形態に係るダミー回路 27 は、データ線駆動回路 150 及びサンプリング回路 140 の構成を模擬するため、クロックドインバータ 161 a、161 b、・・・等に対応するクロックドインバータ 271、クロックドインバータ 162 a、162 b、・・・等に対応するクロックドインバータ 272、NAND 回路 171 a、171 b、・・・等に対応する NAND 回路 273、インバータ 172 a、172 b、・・・等に対応するインバータ 274、及びサンプリングスイッチ 141 に対応する片チャネル型 TFT 28 を備えて構成されている。ここで、データ線駆動回路 150 へ入力される転送開始パルス DX が、ダミー回路 27 においても同様に、クロックドインバータ 161 a へ入力される（ダミー回路 27 の説明において、以下、“入力信号 DX” とする）。また、片チャネル型 TFT 28 のソースは、駆動回路 120 内の低電位電源  $V_{SS}$  に接続されると共に、ドレインは、駆動回路 120 内の高電位電源  $V_{DD}$  にバイアスされて、

検出端子 29 に接続されている。また、検出端子 29 はタイミングジェネレータ 200 内のカウンタ 26 に接続されており、ダミー回路 27 a 内で遅延された検出信号 MON がカウンタ 26 へ出力される。更に、検出端子 29 は負荷抵抗 30 を介して液晶パネル 100 の内部電源  $V_{DD}$  に接続されており、高電位にバイアスされている。

#### 【0069】

尚、図 2 を参照して先に述べたように、サンプリング回路 140 におけるサンプリングスイッチ 141 は、双方向シフトレジスタ 160 の各段 SRS (i) （但し、 $i = 1, 2, 3, \dots, n$ ）につき 6 個並列に接続されており、それを模擬するダミー回路 27 においても同じく 6 個並列に接続される。ただし、図 2 及び

図 5 におけるダミー回路 2 7 については、簡単のため、1 個の片チャンネル型 T F T 2 8 が接続された形として図示し、その他 5 個については図示を省略する。また、図 5 における第 1 比較例及び第 2 比較例においても同様とする。

#### 【0 0 7 0】

以上のような構成により、ダミー回路 2 7 は、双方向シフトレジスタ 1 6 0 からサンプリング回路 1 4 0 までの、双方向シフトレジスタ 1 6 0 の 1 段分に対応した経路を模擬することとなる。従って、データ線駆動回路 1 5 0 で生成されたサンプリングパルスによるサンプリング回路 1 4 0 における画像信号のサンプリング動作と同時に、それらを模擬したダミー回路 2 7 において、サンプリングパルスの遅延量を示す遅延信号が生成され、検出端子 2 9 において検出信号 M O N として検出される。そして、タイミングジェネレータ 2 0 0 のタイミング調整回路部 2 0 0 b において、この検出信号 M O N に基づき、上述のように遅延時間が測定される。従って、ダミー回路 2 7 における遅延信号たる検出信号 M O N は、サンプリングパルスの遅延量が小さくなるように双方向シフトレジスタ 1 6 0 へフィードバックされる。

#### 【0 0 7 1】

ここで、遅延時間の測定の精度は、遅延信号の検出回路であるダミー回路 2 7 の特性が、サンプリング回路 1 4 0 及びデータ線駆動回路 1 5 0 の特性に如何に近付けられているかの程度に応じて決定されることとなる。従って、以上のように構成することにより、ダミー回路 2 7 は、比較的高精度でサンプリングパルスの遅延時間を検出することができ、サンプリングパルスの遅延による表示画像に対する悪影響を低減可能となる。

#### 【0 0 7 2】

本実施形態では好ましくは、ダミー回路 2 7 は、液晶パネル 1 0 0 の素子基板上に、模擬対象であるデータ線駆動回路 1 5 0 及びサンプリング回路 1 4 0 の各素子と同一工程で形成され、ダミー回路 2 7 内の各素子は、夫々、サンプリング回路 1 4 0 及びデータ線駆動回路 1 5 0 における各素子と同一のサイズで形成される。また、本実施形態では好ましくは、片チャンネル型 T F T 2 8 のチャンネル幅は、対応するサンプリングスイッチ 1 4 1 のチャンネル幅と等しくなるよう形成さ



れている。

### 【0073】

以上のように構成されることにより、ダミー回路27が、データ線駆動回路150及びサンプリング回路140を模擬する度合いを更に高めることとなり、非常に高精度でサンプリングパルスの遅延量を検出することが可能となる。

### 【0074】

更に、本実施形態において好ましくは、前記片チャンネル型TFT28は、nチャンネル型TFTからなるように構成されている。

### 【0075】

このように構成することにより、ドレインソース間をキャリアとして電子が移動するため、例えばpチャンネル型TFTから構成される場合（この場合、キャリアは正孔となる）と比較してキャリア移動度が高く、ゲートへの入力信号の「ON」（pチャンネルの場合は入力信号の「OFF」に対応）に対するスイッチング反応速度が速い。このため、比較的高精度に遅延信号を検出することが可能となる。

### 【0076】

尚、サンプリング回路140におけるサンプリングスイッチ141が、pチャンネル型TFTにより構成される場合は、それを模擬するダミー回路27においても同様にpチャンネル型TFTからなるよう構成されてもよい。pチャンネル型TFTを用いても、サンプリングスイッチ141を忠実に模擬していることとなり、サンプリングパルスの遅延量を精度よく検出し、遅延による悪影響を低減するという観点からは、同様の効果が得られる。

### 【0077】

次に、本実施形態に係るダミー回路27の動作について更に、図5及び図6を参照して説明する。ここで特に、第1比較例及び第2比較例におけるダミー回路27b及びダミー回路27cとの比較により、本実施形態に係るダミー回路27の利得を明らかにする。

### 【0078】

ここで、図5-(b)に示すように、第1比較例におけるダミー回路27bは

、図4-(a)の本実施形態におけるダミー回路27aに対して、片チャンネル型TFT28の接続方法が異なる。ゲートには同様にクロックドインバータ271～インバータ274を介して遅延された入力信号DXが入力される。ソースは負荷抵抗30を介して液晶パネル100の内部電源V<sub>DD</sub>に接続されて高電位にバイアスされ、一方、ドレインは検出端子29に接続され、その出力信号を検出端子29より遅延時間の検出信号MONとして取り出せるように構成されている。

#### 【0079】

図5-(c)に示すように、第2比較例におけるダミー回路27cは、図5-(a)の本実施形態におけるダミー回路27aの片チャンネル型TFT28の代わりにCMOS (Complementary MOS) 型TFTからなるインバータ31が接続され、その出力信号を検出端子29より遅延時間の検出信号MONとして取り出せるように構成されている。

#### 【0080】

先ず、本実施形態に係るダミー回路27aにおいて、入力信号DXはクロックドインバータ271、インバータ272、NAND回路273、およびインバータ274を介して4回反転されつつ遅延され、片チャンネル型TFT28のゲートに供給される。ここで、片チャンネル型TFT28のドレインは、内部電源V<sub>DD</sub>の電位が、負荷抵抗30を介して減圧された電位でバイアスされており、ゲートへの入力信号が‘H’レベルに立ち上がるとnチャンネル型TFTで構成される片チャンネル型TFT28は、「ON」状態となり、片チャンネル型TFT28のソースが接続されている低電位電源V<sub>SS</sub>へ向かって電流が流れる。従って、このときドレインに接続されている検出端子29における信号は‘L’レベルとなり、片チャンネル型TFT28の「ON」による立ち下がり信号として検出される。このように動作するとき、図6-(a)に示すように、入力信号DXが‘H’レベルに立ち上がる時刻t<sub>1</sub>と検出信号MONの立ち下がり時刻t<sub>2</sub>の間には、回路内の各素子271～274を通過するときの信号遅延と片チャンネル型TFTの動作によりΔt分の時間差を生じる。このとき入力信号DXと立ち下がり検出信号MONとが、タイミングジェネレータ200のカウンタ26により比較及びカウントされることにより、このΔtがサンプリングパルスの遅延時間として測

定されることとなる。

#### 【0081】

このように、本実施形態に係るダミー回路 27a は特に、既に検出端子 29 に電位がバイアスされた状態からの立ち下がりを検出するため、実際のサンプリングスイッチ 141 と同じく、上記  $\Delta t$  のうちスイッチング自体の動作時間は無視できるほど小さくすることができる。従って、非常に高い精度でサンプリングパルスの遅延量が検出され、且つ、これに対応する調整を実施することが可能となる。

#### 【0082】

更に、本実施形態では特に、高電位電源  $V_{DD}$  の電圧は、負荷抵抗 30 を介して減圧され、片チャネル型 TFT 28 のドレインは比較的低電位にバイアスされている。ここで、本実施形態のダミー回路 27a のように、立ち下がり信号を検出する方法においては、そのスイッチング動作は片チャネル型 TFT 28 のゲートに入力される信号レベルが閾値電圧以上であれば開始されるため、遅延信号の検出は、ドレインにバイアスされる電位に影響されない。従って、負荷抵抗 30 を任意に設定することにより、予め電源電圧  $V_{DD}$  を減圧させて比較的低い電位を片チャネル型 TFT 28 のドレインにバイアスしておくことができる。

#### 【0083】

このような構成をとることにより、片チャネル型 TFT 28 に必要とされる耐圧特性を低く抑えることが可能となる。

#### 【0084】

ここで、図 5-(b) に示すように、第 1 比較例においては、片チャネル型 TFT 28 のゲートへの入力信号の立ち上がりに対応して、ソースにバイアスされた内部電源  $V_{DD}$  と、片チャネル型 TFT 28 のスイッチング動作「ON」によって、ドレインに接続された検出端子 29 へ向かって電流が流れる。このとき、図 6-(b) に示すように、上述の本実施形態に係るダミー回路 27a の場合と異なり、立ち上がり信号 MON を検出することになるため、立ち上がり時の過渡特性による無視し得ない程度の信号のなまりが生じる。即ち、スイッチング動作そのものによる遅延時間 ( $t_2 \sim t_3$ ) が介在し、遅延時間  $\Delta t$  の検出精度が

低下する。このことから、本実施形態に係るダミー回路 27a の回路構成によれば、第 1 比較例のような構成と比較すると、上述のように既に高電位にバイアスされた状態からの立ち下りを検出できるため、スイッチング動作による反応速度が速く、高精度の遅延時間の検出が可能である。

#### 【0085】

図 5-(c) に示すように、第 2 比較例では、入力信号 DX の「ON」及び「OFF」に対応して、検出端子 29 において信号の「立ち下がり」及び「立ち上がり」を検出することができる。ただし、この場合、インバータ 31 は、実際のサンプリングスイッチ 141 と比較すると、構成が異なる。即ち、少なくとも n チャンネル型 T F T と p チャンネル型 T F T の各 1 個を用いて構成された CMOS (Complementary MOS) 型 T F T により構成されている点が異なり、更には、サイズ (特に、チャンネル幅) も異なる点である。このため、片チャンネル型 T F T で構成されるサンプリングスイッチ 141 を介した実際のサンプリングパルスの遅延時間と、第 2 比較例のダミー回路 27c を介して測定される遅延時間との間には、無視し得ない誤差を生じることとなる。一方、本実施形態におけるダミー回路 27a は、片チャンネル型 T F T 28 において、サンプリングスイッチ 141 と同一の構成をとることができるため、高精度な遅延時間測定において有利であることは第 2 比較例との比較において明らかである。

#### 【0086】

更に、第 2 比較例に示した構成によると、上述のように比較的高電位の内部電源  $V_{DD}$  が直接バイアスされることとなり、本実施形態に係るダミー回路 27a と比較すると、各 T F T 素子に要求される耐圧特性の観点からも不利となる。そこで、このように内部電源電圧  $V_{DD}$  が直接バイアスされることを回避するため、仮に、例えば、本実施形態のダミー回路 27a、或いは、第 1 比較例のダミー回路 27b のように、負荷抵抗 30 を用いて構成し、減圧した上でバイアスされるように構成したとしても、検出信号 MON の立ち上がり時に第 1 比較例の場合と同様に、無視し得ない程度の信号のなまりが生じる。従って、このように構成しても、信号遅延の測定精度の観点からは、本実施形態のダミー回路 27a と比較して不利となることは明らかである。

**【0087】**

尚、図5（b）及び図5（c）に示した第1及び第2比較例は、図5（a）に示した第1実施形態における顕著な長所を説明するための比較例であって、本発明の電気光学装置から除外されるものではない。即ち、図5（b）及び図5（c）に示した第1及び第2比較例も、広義には、本発明の技術的範囲に属するものであり、図5（a）に示した第1実施形態に比較すると各種欠点はあるものの、前述の如き従来技術と比較すれば、なお相応の効果が奏されるものである。

**【0088】**

（第2実施形態）

本発明の電気光学装置に係る第2実施形態について以下に説明する。

**【0089】**

第2実施形態は、上述の第1実施形態と比較して、ダミー回路27の各構成要素のサイズ或いは平面パターンが異なり、ダミー回路27の回路構成及びその動作、液晶装置の全体構成、並びに、液晶パネル100内の回路構成及び動作については第1実施形態と同様である。このため以下においては、第1実施形態と異なる構成について説明する。また、上述の第1実施形態における全構成要素はそのまま対応するため、図示を省略する。

**【0090】**

先に述べたように、サンプリング回路140においては、複数のサンプリングスイッチ141が並列に複数接続された構成をとるため、ダミー回路27においても同様に、それらを模擬する片チャネル型TFT28を同一の個数にて並列接続されるよう構成することによって、同一の遅延時間を検出することが可能となる。ただし、このように構成することによりレイアウト構成上、液晶パネル100の限られた素子基板上において比較的大きなスペースを確保する必要が生じる。

**【0091】**

そこで、第2実施形態に係るダミー回路27においては、高精度で信号遅延を検出するために、第1実施形態と同様に同一の素子基板上に作成されることを前提とし、且つ極力小さいスペースに配置させるよう構成する方法を以下に説明す

る。

#### 【0092】

本実施形態では、ダミー回路 27 内の片チャンネル型 T F T 28 のチャンネル幅が、サンプリング回路 140 のサンプリングスイッチ 141 のチャンネル幅よりも小さいサイズで作成されて構成されている。

#### 【0093】

このように構成すれば、限られた基板上スペースに、小型のダミー回路を構築することによって、スペース不足の問題を回避することが可能となる。或いは、ダミー回路を作り込むのに必要な領域を含めて、基板の小型化や、電気光学パネル全体の小型化を促進することが可能となる。

#### 【0094】

ここで本実施形態では特に、サンプリング回路のサンプリングスイッチ 141 に対する、その前段に位置するバッファ回路（即ち、イネーブル回路 170 a、170 b、・・・）のサイズ比と、これに対応するダミー回路における片チャンネル型 T F T 28 に対する、その前段に位置するバッファ回路（即ち、273 及び 274）のサイズ比とは等しくなるよう構成されている。

#### 【0095】

このように構成することにより、ダミー回路 27 が模擬対象の回路と比較して小型化されていても、模擬の度合いについては高く維持され、高精度の信号遅延の測定が可能となる。

#### 【0096】

尚、ダミー回路 27 の片チャンネル型 T F T 28 のサイズに対する、その他の全構成要素（271～274）のサイズの比が、模擬対象であるサンプリングスイッチ 141 のサイズに対する、サンプリング回路 140 に至るシフトレジスタ 1 段分の各構成要素（161 a、162 a、171 a、172 a、・・・等）のサイズの比と同一になるよう構成されてもよい。換言すれば、サンプリングスイッチ 141 に対してダミー回路 27 の片チャンネル型 T F T 28 が縮小して作成される場合、その他の全構成要素においても同一の比率で縮小して作成されてもよい。

## 【0097】

このように構成することにより、片チャンネル型TF T 28のチャンネル幅が、模擬対象であるサンプリングスイッチ141に対して縮小されて作成される場合においても、片チャンネル型TF Tの容量に対する、その前段に位置する全構成要素の容量の比が、模擬対象となる回路におけるサンプリングスイッチ141の容量に対する、その前段に位置する全構成要素の容量の比と同一となる。このため、第1実施形態のように、片チャンネル型TF T 28のチャンネル幅が、サンプリングスイッチ141のチャンネル幅と同一に作成される場合と比較しても、ほぼ同一の遅延時間の検出結果が維持され、且つ、ダミー回路27のレイアウト面積の縮小を図ることが可能となる。

## 【0098】

## (第3実施形態)

本発明の電気光学装置に係る第3実施形態について、図7を参照して説明する。

## 【0099】

第3実施形態は、上述の第1実施形態と比較して、データ線駆動回路150内のバッファ回路の一例を構成するイネーブル回路170a、170b、・・・、及びダミー回路27の構成が異なり、ダミー回路27の動作、及び液晶装置の全体構成及び動作については第1実施形態と同様である。このため以下では、第1実施形態と異なる構成について説明する。

## 【0100】

本実施形態においては、図7に示すように、バッファ回路の一例であるイネーブル回路170a、170b、・・・において、インバータが複数段設けられて構成されている。即ち、第1実施形態における構成に対して、更に、インバータ173a及び174a等を更に付加した形で構成されている。

## 【0101】

このように構成することにより、双方向シフトレジスタ160からサンプリング回路に至る全経路の配線容量等に起因する、比較的程度の大きい信号遅延を抑制することが可能となる。

**【0102】**

このとき、上述の回路を模擬して信号遅延を検出するダミー回路 27 においても、図 7 に示すように、同一の段数でインバータを複数段設けられて構成されている。即ち、第 1 実施形態におけるダミー回路 27 と比較して、更に、インバータ 275 及び 276 が付加された形で構成されている。

**【0103】**

このように構成することにより、データ線駆動回路 150 において上述のように、バッファとしてのインバータが複数段接続された場合においても、同一の段数で回路を模擬することとなり、高精度の信号遅延の検出が可能となる。

**【0104】**

本実施形態では特に、ダミー回路 27 は、液晶パネル 100 の素子基板上にデータ線駆動回路 150 及びサンプリング回路 140 の各素子と同一工程で形成され、ダミー回路 27 内の各素子は、夫々、模擬対象であるサンプリング回路 140 及びデータ線駆動回路 150 における各素子と同一のサイズで形成される。また、本実施形態では特に、片チャンネル型 TFT 28 のチャンネル幅は、対応するサンプリングスイッチ 141 のチャンネル幅と等しくなるよう形成されている。

**【0105】**

以上のような構成にすることにより、ダミー回路 27 が、データ線駆動回路 150 及びサンプリング回路 140 を模擬する度合いを更に高めることとなり、非常に高精度でサンプリングパルスの遅延量を検出することが可能となる。

**【0106】**

尚、ダミー回路 27 におけるその他の構成及び動作は、第 1 実施形態の場合と同じであり、同様に高精度なサンプリングパルスの遅延量を検出することが可能である。

**【0107】**

(第 4 実施形態)

本発明の電気光学装置に係る第 4 実施形態について以下に説明する。

**【0108】**

第 4 実施形態は、上述の第 3 実施形態と比較して、ダミー回路 27 の各構成要



素のサイズ或いは平面パターンが異なり、ダミー回路 2 7 の回路構成及びその動作、液晶装置の全体構成、並びに、液晶パネル 1 0 0 内の回路構成及び動作については第 3 実施形態と同様である。このため以下においては、第 3 実施形態と異なる構成について説明する。また、上述の第 3 実施形態における全構成要素はそのまま対応するため、図示を省略する。

#### 【0 1 0 9】

本実施形態においては、ダミー回路 2 7 内の片チャンネル型 T F T 2 8 のチャンネル幅が、サンプリング回路 1 4 0 のサンプリングスイッチ 1 4 1 のチャンネル幅よりも小さいサイズで作成されて構成されている。

#### 【0 1 1 0】

このように構成すれば、限られた基板上スペースに、小型のダミー回路を構築することによって、スペース不足の問題を回避することが可能となる。或いは、ダミー回路を作り込むのに必要な領域を含めて、基板の小型化や、電気光学パネル全体の小型化を促進することが可能となる。

#### 【0 1 1 1】

ここで本実施形態では特に、ダミー回路 2 7 における片チャンネル型 T F T 2 8 に対する、その前段のバッファ回路における最終段のインバータ 2 7 6 のサイズ比が、サンプリング回路 1 4 0 のサンプリングスイッチ 1 4 1 に対する、その前段のバッファ回路における最終段のインバータ 1 7 4 a のサイズ比と等しくなるよう構成されている。

#### 【0 1 1 2】

このように構成することにより、ダミー回路 2 7 が模擬対象の回路と比較して小型化されていても、バッファ回路を構成する複数段のバッファのうち、サンプリングパルスの遅延律則の程度が相対的に高い、最終段のインバータを模擬するので、模擬の度合いについては高く維持され、且つ高精度の信号遅延の測定が可能となる。

#### 【0 1 1 3】

尚、ダミー回路 2 7 の片チャンネル型 T F T 2 8 のサイズに対する、その他の全構成要素（2 7 1 ～ 2 7 6）のサイズの比が、模擬対象であるサンプリングスイ

ッチ 141 のサイズに対する、サンプリング回路 140 に至るシフトレジスタ 1 段分の各構成要素 (161a、162a、171a、172a、173a、174a・・・等) のサイズの比と同一になるよう構成されてもよい。換言すれば、サンプリングスイッチ 141 に対してダミー回路 27 の片チャンネル型 TFT 28 が縮小して作成される場合、その他の全構成要素においても同一の比率で縮小して作成されてもよい。

#### 【0114】

このように構成することにより、片チャンネル型 TFT 28 のチャンネル幅が、模擬対象であるサンプリングスイッチ 141 に対して縮小されて作成される場合においても、片チャンネル型 TFT の容量に対する、その前段に位置する全構成要素の容量の比が、模擬対象となる回路におけるサンプリングスイッチ 141 の容量に対する、その前段に位置する全構成要素の容量の比と同一となる。このため、第 1 実施形態のように、片チャンネル型 TFT 28 のチャンネル幅が、サンプリングスイッチ 141 のチャンネル幅と同一に作成される場合と比較しても、ほぼ同一の遅延時間の検出結果が維持され、且つ、ダミー回路 27 のレイアウト面積の縮小を図ることが可能となる。

#### 【0115】

尚、第 1 実施形態～第 4 実施形態における双方向シフトレジスタ 160 は、液晶パネル 100 を構成する基板上に、外付け或いは後付される IC として設けることにより構成されてもよい。

#### 【0116】

このように構成することにより、比較的容易に実装することが可能となる。他方で、ダミー回路並びにこれが模擬するバッファ回路やサンプリング回路については、同一基板上に作り込まれるので、前述の如くダミー回路 27 による模擬の度合いを高めることが可能となる。

#### 【0117】

以上のように、第 1 実施形態～第 4 実施形態におけるダミー回路 27 は、液晶パネル 100 におけるデータ線駆動回路 150 及びサンプリング回路 140 の各素子と同一プロセスで形成され、且つ同一の回路構成を持つ模擬回路として構成

され、スイッチング動作の速い信号の立ち下がり検出を行なうことにより、実際のサンプリングパルスの信号遅延と同一の遅延信号を検出して、高精度で遅延時間を測定し、駆動回路へフィードバックすることが可能となる。

#### 【0118】

(変形形態)

第1から第4実施形態におけるダミー回路は、データ線駆動回路中のクロックドインバータ、イネーブル回路及びサンプリング回路を、比較的忠実に模擬している。しかしながら、第1から第4実施形態の変形形態として、データ線駆動回路、イネーブル回路及びサンプリング回路のうちの少なくとも一部を模擬するようにダミー回路を構成してもよい。その場合においても、模擬の程度に応じて相応の精度で遅延時間を測定でき、遅延信号をフィードバックすることで遅延による悪影響を相応に低減できる。特に、データ線駆動回路、イネーブル回路及びサンプリング回路のうち、遅延の主要因となる或いは遅延を律則している一又は複数の回路部分を模擬すれば、効率的に遅延による悪影響を排除可能となる。例えば、直列に接続された複数段のインバータからなるバッファ回路における最終段のインバータを模擬すれば、遅延による悪影響を効率良く低減できる。同時に、ダミー回路によって一部のみを模擬することで、限られた素子基板上領域における当該ダミー回路の形成領域を小さくできるので、素子基板や装置全体の小型化を図る上で有利である。

#### 【0119】

(液晶装置の全体構成)

以上のように構成された本発明の第1実施形態～第4実施形態における液晶装置の全体構成について図8及び図9を参照して説明する。ここに、図8は、TF-Tアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図9は、図8のH-H'断面図である。

#### 【0120】

図8及び図9において、素子基板10の上には、複数の画素電極118により規定される画像表示領域（即ち、実際に液晶層50の配向状態変化により画像が表示される液晶装置の領域）の周囲において両基板を貼り合わせて液晶層50を

包囲する光硬化性樹脂からなるシール材 52 が、画像表示領域に沿って設けられている。そして、対向基板 20 上における画像表示領域とシール材 52 との間には、遮光性の額縁遮光膜 53 が設けられている。遮光性の額縁遮光膜 53 や遮光層 23 を液晶装置用基板 10 上に形成しても良い。

#### 【0121】

画像表示領域 110 の左右 2 辺に沿った部分には、走査線駆動回路 130 が両側に設けられている。ここで、走査線 112 の駆動遅延が問題にならないような場合、走査線駆動回路 130 は走査線 112 に対して片側のみに形成しても良い。

#### 【0122】

シール材 52 の外側の領域には、画像表示領域の下辺に沿ってデータ線駆動回路 150 及び外部からの信号入力等を行う外部回路接続用端子 102 が設けられており、画像表示領域の左右の 2 辺に沿って走査線駆動回路 130 が画像表示領域の両側に設けられている。ここで、データ駆動回路 150 を画像表示領域の上下の 2 辺に沿って両側に設けても良い。この際、例えば一方のデータ線駆動回路 150 には奇数列のデータ線を電氣的に接続し、もう一方のデータ線駆動回路 150 には偶数列のデータ線を電氣的に接続することで、上下から櫛歯状に駆動するようにしても良い。更に画像表示領域の上辺には、走査線駆動回路 130 に電源や駆動信号を供給するための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも一箇所で、液晶装置用基板 10 と対向基板 20 との間で電氣的導通をとるための上下導通材 106 が設けられている。そして、シール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により液晶装置用基板 10 に固着されている。

#### 【0123】

また、上述した各実施形態においては、データ線駆動回路 150 及び走査線駆動回路 130 に対して、クロック信号あるいは画像信号等を出力する外部制御回路を、液晶装置の外部に設けた場合について説明したが、本発明はこれに限られるものではなく、当該制御回路を液晶装置内に設けるようにしても良い。

#### 【0124】

特に、クロック信号については、クロック信号のみを外部制御回路から供給させ、液晶装置用基板上で逆位相クロック信号を生成する回路を設けるように構成しても良い。

#### 【0125】

以上に説明した液晶装置は、カラー液晶プロジェクタ等に適用することができるが、この場合には、3つの液晶装置がRGB用のライトバルブとして夫々用いられ、各パネルには夫々RGB色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、液晶装置においても遮光層23の形成されていない画素電極11に対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶装置を適用できる。

#### 【0126】

また、液晶装置に用いるスイッチング素子は、正スタガ型又はコプラナー型のポリシリコンTFTでも良いし、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、本実施の形態は有効である。

#### 【0127】

更に、液晶装置においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点が得られる。

#### 【0128】

尚、データ線駆動回路150及び走査線駆動回路130は、液晶装置用基板10の上に設ける代わりに、例えばTAB（テープオートメイトボンディング基板）上に実装された駆動用LSIに、液晶装置用基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

#### 【0129】

なお、上述した実施の形態においては、走査線駆動回路130の構成について

は詳述していないが、特にシフトレジスタ部分についてはデータ線駆動回路 1 5 0 と同様の構成を採ることができる。

### 【0 1 3 0】

(電子機器)

次に、以上詳細に説明した液晶装置 1 を備えた電子機器の実施の形態について図 1 0 から図 1 3 を参照して説明する。

### 【0 1 3 1】

先ず図 1 0 に、このように液晶装置 1 を備えた電子機器の概略構成を示す。

### 【0 1 3 2】

図 1 0 において、電子機器は、表示情報出力源 1 0 0 0、上述した外部表示情報処理回路 1 0 0 2、前述の走査線駆動回路 1 3 0 及びデータ線駆動回路 1 5 0 を含む表示駆動回路 1 0 0 4、液晶装置 1、クロック発生回路 1 0 0 8 並びに電源回路 1 0 1 0 を備えて構成されている。表示情報出力源 1 0 0 0 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含んで構成され、クロック発生回路 1 0 0 8 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1 0 0 2 に出力する。表示情報処理回路 1 0 0 2 は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック発生回路 1 0 0 8 からのクロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に表示駆動回路 1 0 0 4 に出力する。表示駆動回路 1 0 0 4 は、走査線駆動回路 1 3 0 及びデータ線駆動回路 1 5 0 によって前述の駆動方法により液晶装置 1 を駆動する。電源回路 1 0 1 0 は、上述の各回路に所定電源を供給する。尚、液晶装置 1 を構成する液晶装置用基板の上に、表示駆動回路 1 0 0 4 を搭載してもよく、これに加えて表示情報処理回路 1 0 0 2 を搭載してもよい。

### 【0 1 3 3】

このような構成の電子機器として、図 1 1 に示す液晶プロジェクタ、図 1 2 に示すマルチメディア対応のパーソナルコンピュータ (PC) 及びエンジニアリン

グ・ワークステーション（EWS）、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

#### 【0134】

次に図11から図13に、このように構成された電子機器の具体例を夫々示す。

#### 【0135】

図11において、電子機器の一例たる液晶プロジェクタ1100は、投射型の液晶プロジェクタであり、光源1110と、ダイクロイックミラー1113、1114と、反射ミラー1115、1116、1117と、入射レンズ1118、リレーレンズ1119、出射レンズ1120と、液晶ライトバルブ1122、1123、1124と、クロスダイクロイックプリズム1125と、投射レンズ1126とを備えて構成されている。液晶ライトバルブ1122、1123、1124は、上述した駆動回路1004が液晶装置用基板上に搭載された液晶装置1を含む液晶表示モジュールを3個用意し、夫々液晶ライトバルブとして用いたものである。また、光源1110はメタルハライド等のランプ1111とランプ1111の光を反射するリフレクタ1112とからなる。

#### 【0136】

以上のように構成される液晶プロジェクタ1100においては、青色光・緑色光反射のダイクロイックミラー1113は、光源1110からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1117で反射されて、赤色光用液晶ライトバルブ1122に入射される。一方、ダイクロイックミラー1113で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1114によって反射され、緑色光用液晶ライトバルブ1123に入射される。また、青色光は第2のダイクロイックミラー1114も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1118、リレーレンズ1119、出射レンズ1120を含むリレーレンズ系からなる導光手段1121が設けられ、これを介して青色光が青色光用液

晶ライトバルブ 1124 に入射される。各ライトバルブにより変調された 3 つの色光はクロスダイクロックプリズム 1125 に入射する。このプリズムは 4 つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって 3 つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ 1126 によってスクリーン 1127 上に投射され、画像が拡大されて表示される。

#### 【0137】

図 12 において、電子機器の他の例たるラップトップ型のパーソナルコンピュータ 1200 は、上述した液晶装置 1 がトップカバーケース内に備えられた液晶ディスプレイ 1206 と、CPU、メモリ、モデム等を収容すると共にキーボード 1202 が組み込まれた本体部 1204 とを有する。

#### 【0138】

また、図 13 に示すように、液晶装置用基板 1304 を構成する 2 枚の透明基板 1304a, 1304b の一方に、金属の導電膜が形成されたポリイミドテープ 1322 に IC チップ 1324 を実装した TCP (Tape Carrier Package) 1320 を接続して、電子機器用の一部品である液晶装置として生産、販売、使用することもできる。

#### 【0139】

以上、図 11 から図 13 を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダー型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS 端末、タッチパネルを備えた装置等が図 10 に示した電子機器の例として挙げられる。

#### 【0140】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置、その駆動回路及び電子機器もまた本発明の技術的範囲に含まれるものである。



**【図面の簡単な説明】**

【図 1】 本発明の液晶表示装置の全体構成を示すブロック図である。

【図 2】 第 1 実施形態のデータ線駆動回路 1 5 0 及びサンプリング回路 1 4 0 の詳細を示すロジック回路図である。

【図 3】 図 2 のロジック回路図の主要信号の状態を示すタイミングチャート図である。

【図 4】 タイミングジェネレータの構成を示す回路図である。

【図 5】 図 2 の第 1 実施形態におけるダミー回路 2 7 の構成を、ダミー回路 2 7 a として図 5 - ( a ) に示し、更に、本実施形態に係るダミー回路 2 7 a との第 1 比較例及び第 2 比較例を、ダミー回路 2 7 b 及びダミー回路 2 7 c として、図 5 - ( b ) 及び図 5 - ( c ) に夫々示した複数の回路図である。

【図 6】 本実施形態に係るダミー回路 2 7 a、第 1 比較例としてのダミー回路 2 7 b、及び第 2 比較例としてのダミー回路 2 7 c における信号遅延の検出状態を夫々示す複数のタイミングチャートである。

【図 7】 第 3 実施形態のデータ線駆動回路 1 5 0 及びサンプリング回路 1 4 0 の詳細を示すロジック回路図である。

【図 8】 液晶装置の全体構成を示す平面図である。

【図 9】 図 8 の H - H ' 断面図である。

【図 1 0】 本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図 1 1】 電子機器の一例としての液晶プロジェクタを示す断面図である。

【図 1 2】 電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図 1 3】 電子機器の一例としての T C P を用いた液晶表示装置を示す斜視図である。

**【符号の説明】**

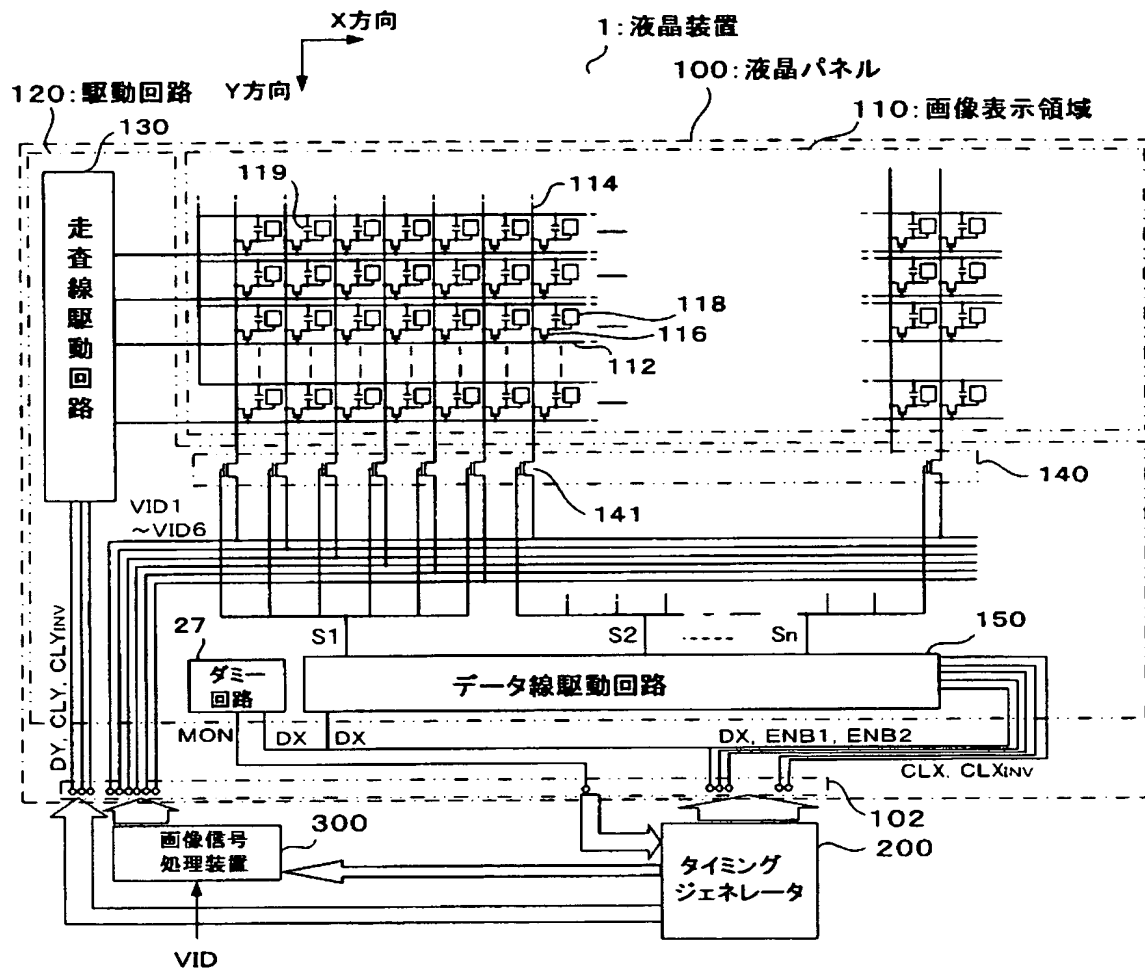
1 … 液晶装置、 1 0 … 液晶装置用基板、 2 0 … 対向基板、 2 1 … 共通電極、  
2 3 … 遮光層、 2 8 … 片チャネル型 T F T、 2 9 … 検出端子、 5 0 … 液晶層

、 5 2 … シール材、 5 3 … 額縁遮光膜、 1 0 0 … 液晶パネル、 1 1 0 … 画像表示領域、 1 0 2 … 外部回路接続用端子、 1 0 3 … クロック信号配線、 1 1 2 … 走査線、 1 1 4 … データ線、 1 1 6 … T F T、 1 1 8 … 画素電極、 1 3 0 … 走査線駆動回路、 1 4 0 … サンプリング回路、 1 4 1 … 片チャネル型 T F T、 1 5 0 … データ線駆動回路、 1 6 0 … 双方向シフトレジスタ、 1 6 1 … クロックドインバータ、 1 6 2 … クロックドインバータ、 1 7 0 … イネーブル回路、 2 0 0 … タイミングジェネレータ、 2 7 1 … クロックドインバータ、 2 7 2 … クロックドインバータ、 2 7 3 … N A N D 回路、 2 7 4 … インバータ、 2 7 5 … インバータ、 2 7 6 … インバータ、 3 0 0 … 画像信号処理装置

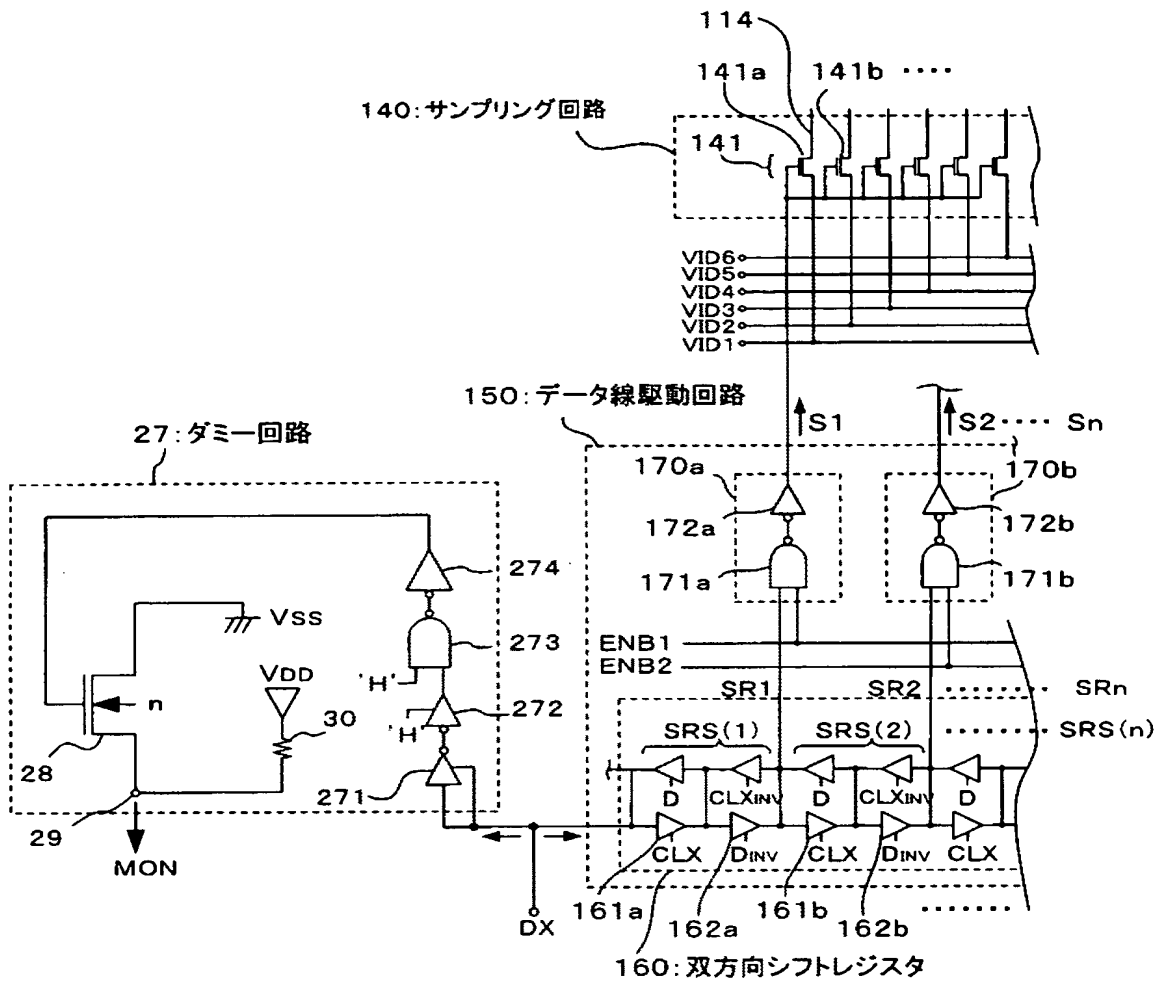
【書類名】

図面

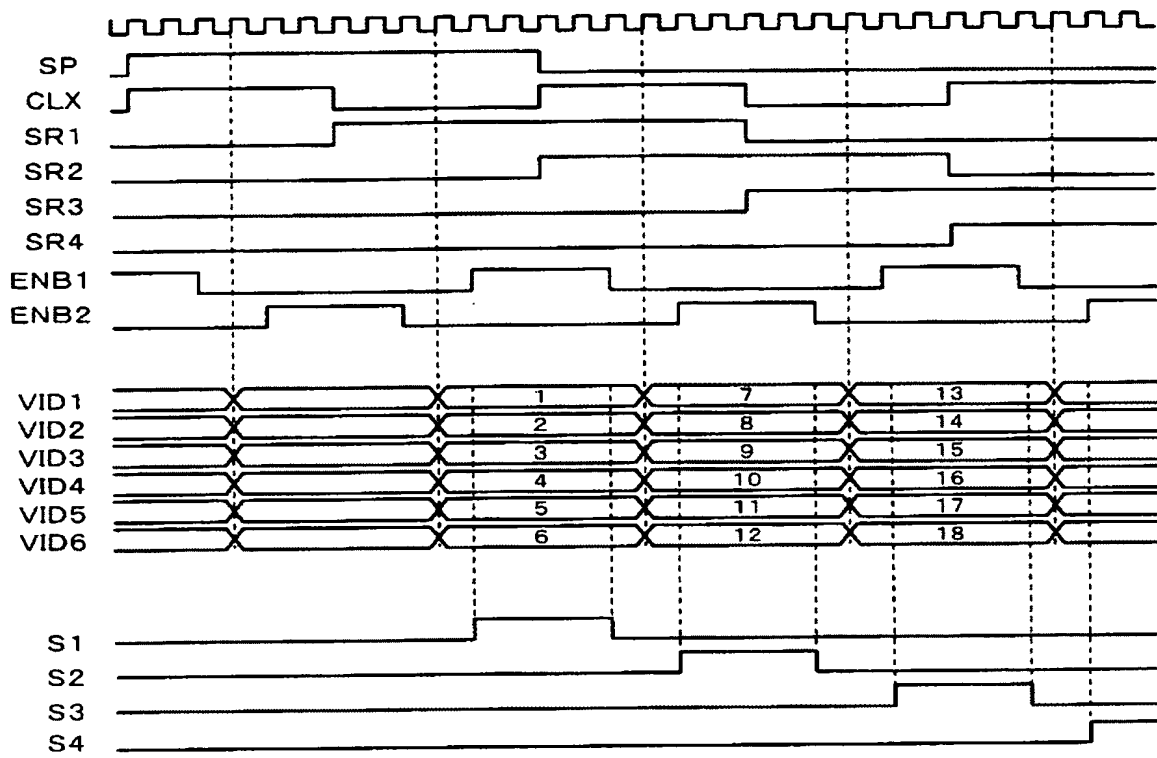
【図 1】



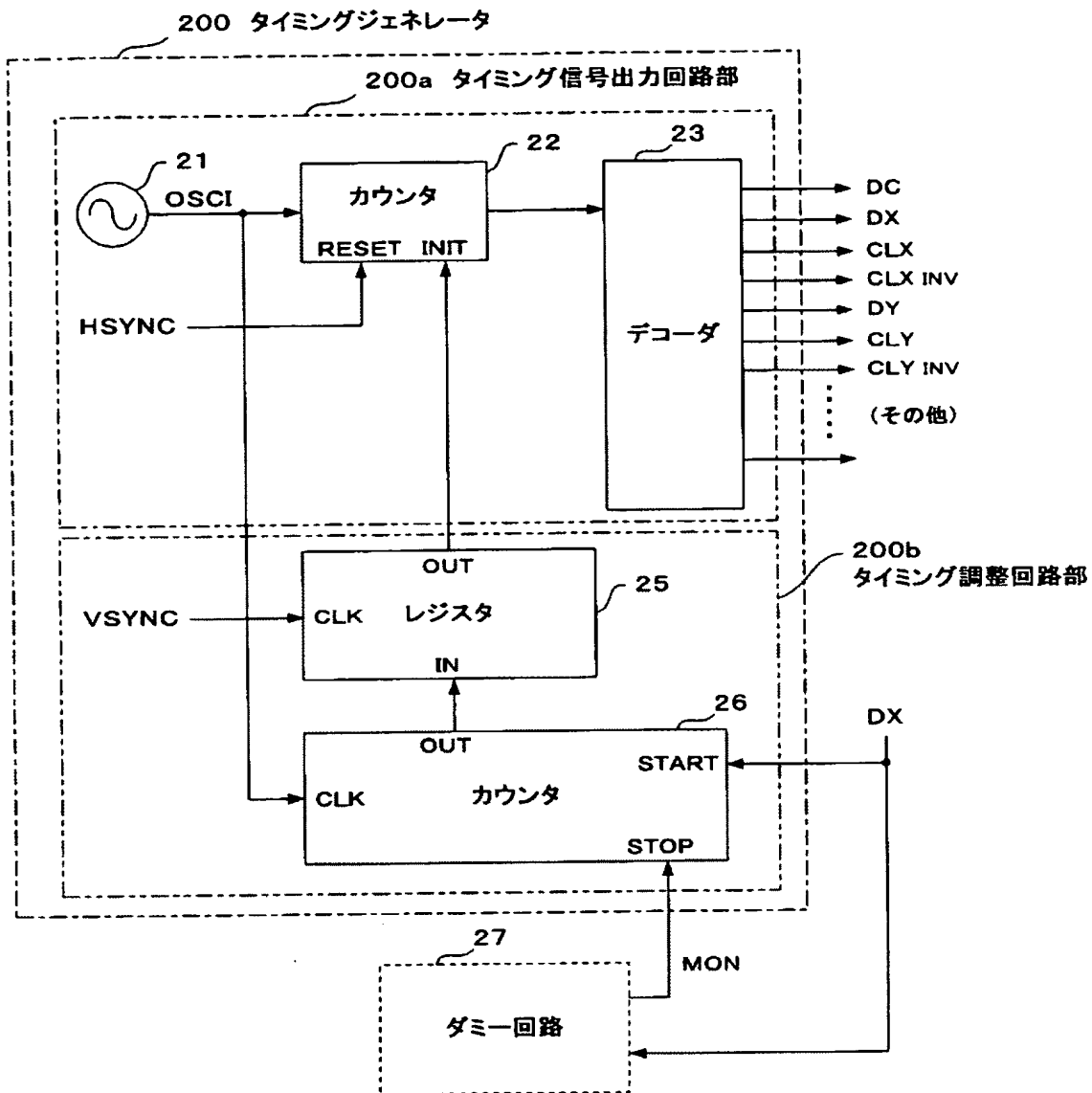
【図 2】



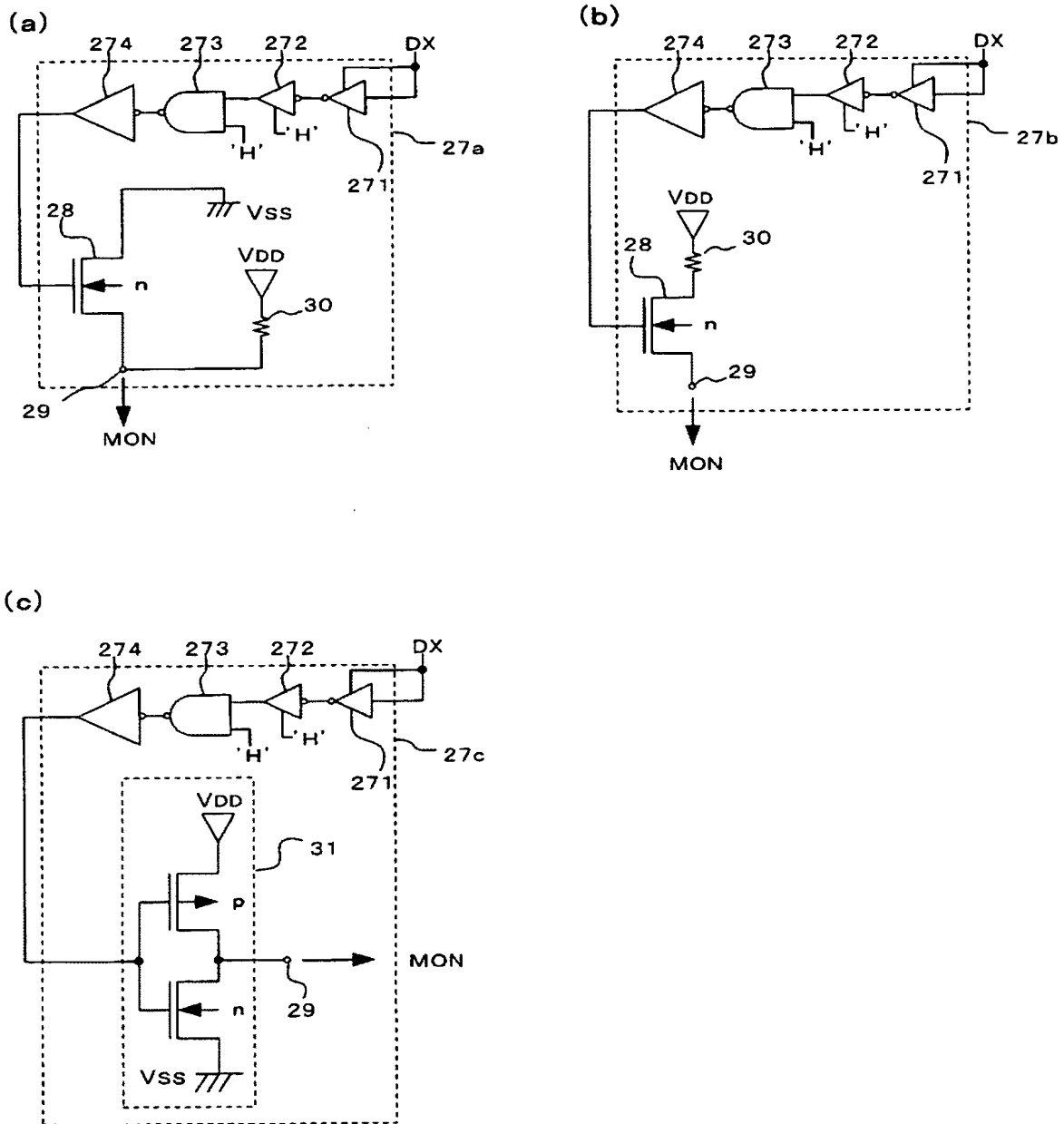
【図 3】



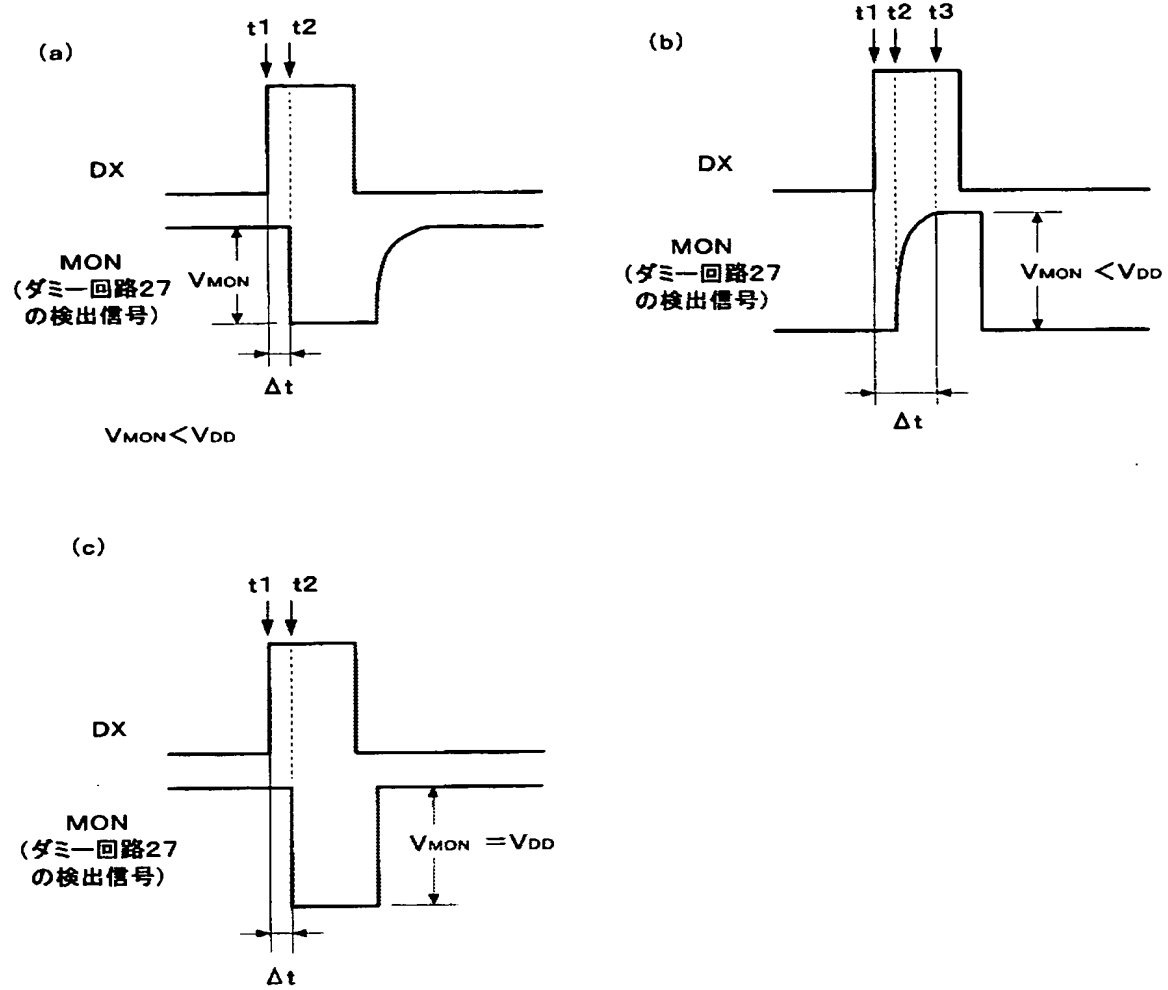
【図 4】



【図 5】

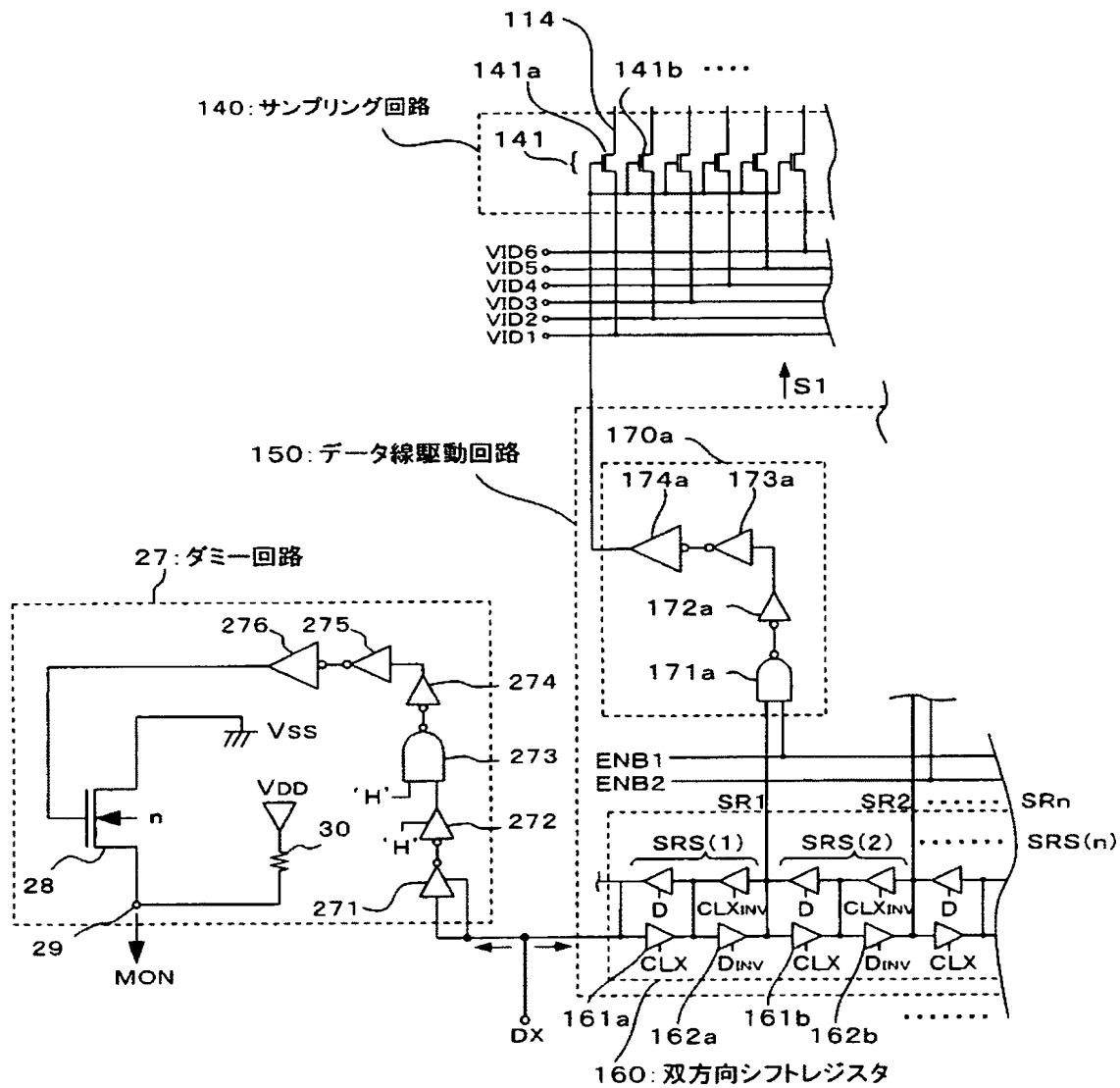


【図 6】

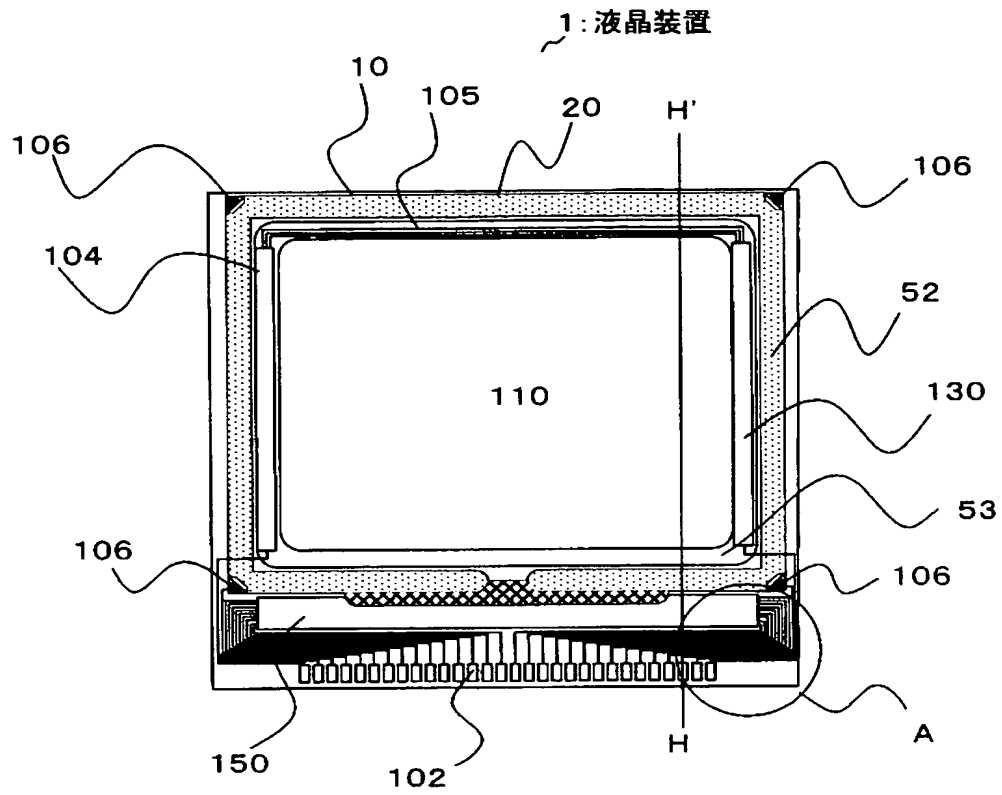




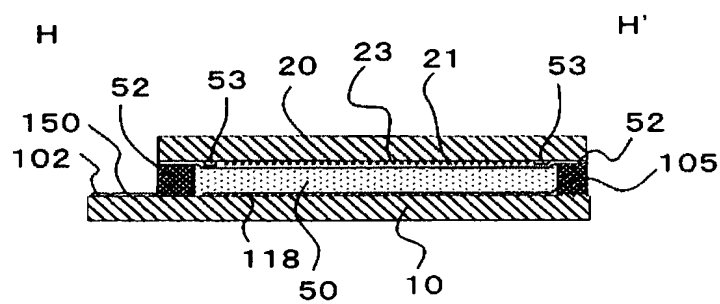
【図 7】



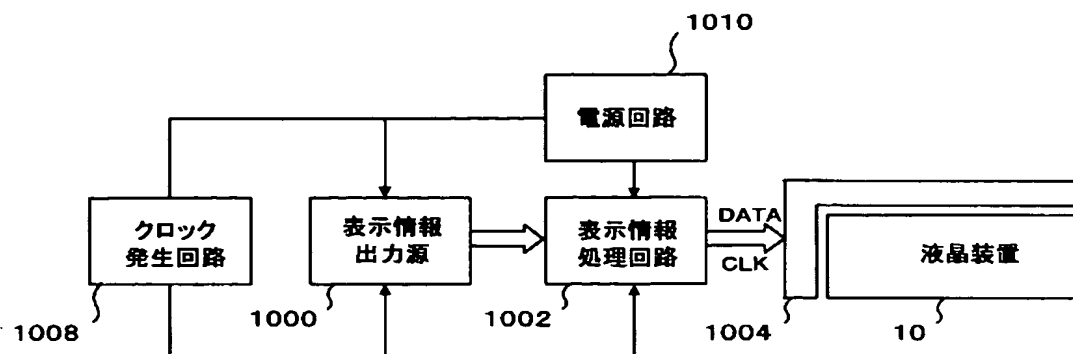
【図 8】



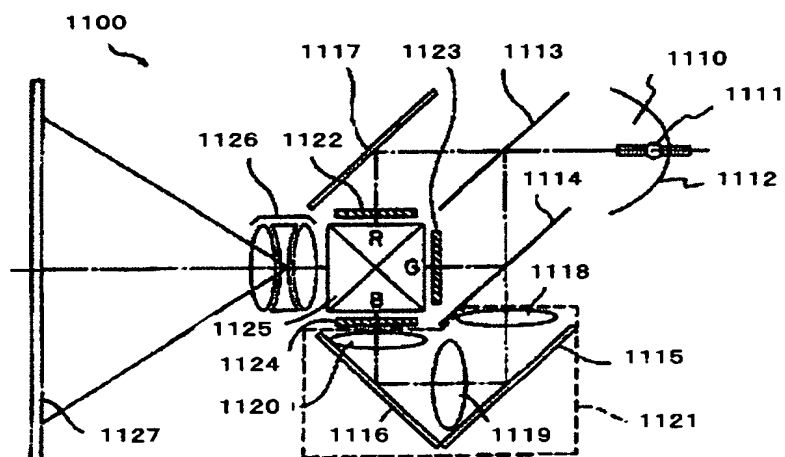
【図 9】



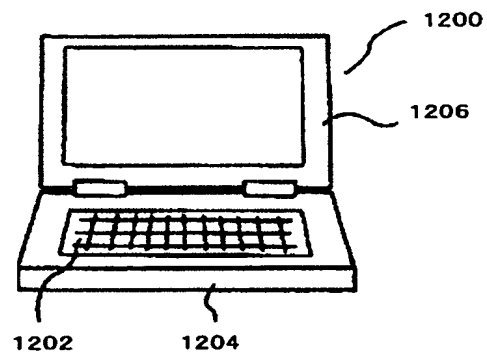
【図 10】



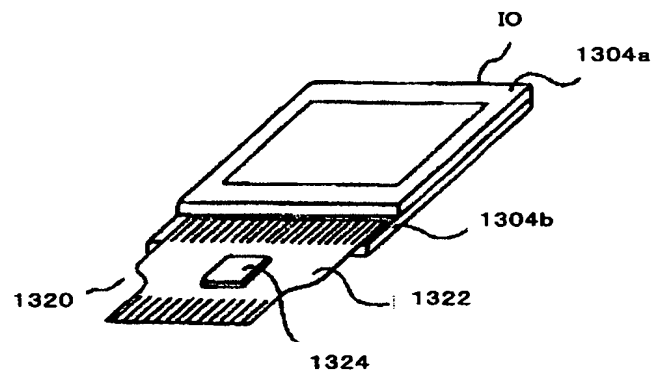
【図 11】



【図 12】



【図 13】





【書類名】 要約書

【要約】

【課題】 電気光学パネルの駆動回路内で発生するサンプリングパルスの遅延による悪影響を低減或いは除去する。

【解決手段】 電気光学パネルの駆動回路は、基板上に形成されており、転送信号を順次出力するシフトレジスタ回路（140）と、順次出力された転送信号をバッファリングするバッファ回路（170a、170b）と、バッファリングされた転送信号をサンプリングパルスとして画像信号をサンプリングしてデータ線（114）に供給するサンプリング回路（140）と、バッファ回路及びサンプリング回路の少なくとも一部を模擬するダミー回路（27）とを備える。ダミー回路により生成されるサンプリングパルスの遅延量を示す遅延信号は、シフトレジスタ回路に、遅延量が小さくなるようにフィードバックされ、バッファ回路、サンプリング回路及びダミー回路は、基板上に形成されている。

【選択図】 図2



## 認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 3 3 2 7 8
受付番号	5 0 3 0 0 7 8 0 2 0 1
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 5 月 1 3 日

### < 認定情報・付加情報 >

【提出日】 平成15年 5月12日

次頁無



特願 2 0 0 3 - 1 3 3 2 7 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社